

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-329696

(43)Date of publication of application : 13.12.1996

(51)Int.Cl. G11C 19/00  
G09G 3/36

(21)Application number : 07-332303

(71)Applicant : SHARP CORP

(22)Date of filing : 20.12.1995

(72)Inventor : KATSUYA MASASHI

(30)Priority

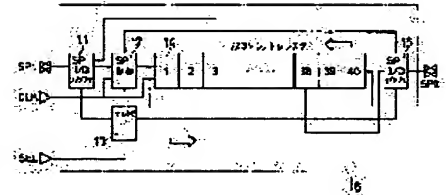
Priority number : 07 66386 Priority date : 24.03.1995 Priority country : JP

(54) INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To easily and surely make possible cascade connection even if a high clock frequency is used.

CONSTITUTION: A start signal is given to a SP I/O buffer 11 from a terminal SP1, and pulse width is controlled by a SP control circuit 12. A selection signal SEL is given to a selector circuit 13, and the data shift direction of a bi-directional shift register 14 can be switched. When a direction of shift is the other side, a start signal is inputted from a terminal SP2 through a SP I/O buffer 15. When shift is performed from the terminal SP1 to the terminal SP2, an output from the 38th stage being 2 stages before 40th stage being the last stage is outputted from the terminal SP2 as a succeeding input start signal of a driver 16 for a longer time than one period of a clock signal CLK.



## LEGAL STATUS

[Date of request for examination] 16.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3361925

[Date of registration] 18.10.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The integrated circuit characterized [ in the integrated circuit which derives the output which carries out a sequential shift while answering an input start signal and synchronizing with a clock signal from each stage of a shift register ] by cascade connection being possible including a multistage type shift register as an input start signal by the side of consecutiveness to an output start signal including the start signal generating circuit which answers an output from the preceding paragraph and generates an output start signal a period longer than one period of a clock signal rather than the last stage of a multistage type shift register.

[Claim 2] The integrated circuit according to claim 1 which carries out cascade connection of two or more integrated circuits, and is characterized by the ability to operate as one multistage type shift register as a whole according to said common clock signal.

[Claim 3] Said start signal generating circuit is an integrated circuit according to claim 2 characterized by including the D flip-flop which the output from the two-step preceding paragraph is given as a data input rather than the last stage of said multistage type shift register, and the signal which carried out dividing of said clock signal to one half is given as clocked into, and derives said output start signal as an output.

[Claim 4] Said start signal generating circuit is an integrated circuit according to claim 2 characterized by including n frequency divider which outputs the signal which carried out dividing of said clock signal to  $1/n$  (n is three or more integers), and the D flip-flop which the output from the n step preceding paragraph is given as a data input rather than the last stage of said multistage type shift register, and the output from n frequency divider is given as clocked into, and derives said input start signal as an output.

[Claim 5] The integrated circuit according to claim 1 characterized by having the start pulse control circuit controlled to the pulse width which received said input start signal and suited actuation of a multistage type shift register.

[Claim 6] Said multistage type shift register is an integrated circuit according to claim 1 characterized by being the bidirection which can switch the shift direction.

[Claim 7] The integrated circuit according to claim 6 characterized by driving a liquid crystal display component with the output from each stage of said multistage type shift register.

[Claim 8] The integrated circuit according to claim 1 characterized by including the frequency divider which carries out dividing of the clock signal and generates a period longer than said clock signal, and the initialization circuit which initializes a frequency divider to a power up.

[Claim 9] It is the integrated circuit [claim 10] according to claim 8 which said clock signal is stopped beyond the period beforehand set to a power up, and is characterized by said initialization circuit initializing said frequency divider synchronizing with the oscillation output from an internal oscillator circuit including the internal oscillator circuit oscillated with the period of under the idle period of a clock signal. Said initialization circuit is an integrated circuit according to claim 8 characterized by initializing said frequency divider by power-on-reset actuation using the delay of the start of the charge electrical potential difference of a capacitor.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In an independent integrated circuit, this invention realizes the shift register which has the number of stages of many with difficult implementation by cascade connection, and relates to the integrated circuit especially used for actuation of a liquid crystal display component.

[0002]

[Description of the Prior Art] From the former, the integrated circuit as shown in drawing 22 is used for actuation of a liquid crystal display component, as shown in drawing 23 . Such an integrated circuit answers a start pulse (it may be called "SP" for short below), starts actuation, and it derives an output, shifting to a target one by one according to a clock signal (it may be called "CLK" for short below). The direction of a shift is bidirection and is switched according to a selection signal (it may be called "SEL" for short below).

[0003] The start pulse to one direction of operation is inputted from a terminal SP 1, and is given to the SP control circuit 2 from SP I/O (it is called "SP\_I/O" for short below) buffer 1. SP\_I/O buffer 1 is activity-ized by the selector circuit 3 when a selection signal SEL serves as one logical level. When SP\_I/O buffer 1 is activity-ized, the multistage type 4, for example, 40 steps of bidirectional shift registers, derives the output of each stage synchronizing with a clock signal CLK, shifting to a target one by one in 1, 2, --, the 39 or 40 directions. When a selection signal SEL is the logical level of another side, the bidirectional shift register 4 is switched to hard flow, SP\_I/O buffer 5 to which a start pulse is given from the other-end child SP 2 will be activity-ized, and one SP\_I/O buffer 1 will be in a idle state. In the bidirectional shift register 4, 40, 39, --, the stage that derives an output like 2 and 1 come to carry out a sequential shift.

[0004] As a driver 6 as shown in drawing 23 (1) and (2), since the LCD panels 7 and 8 are driven, respectively, SP\_I/O buffers 1 and 5, the SP control circuit 2, a selector circuit 3, and the bidirectional shift register 4 are used. Many signal lines are prepared in a line writing direction and the direction of a train, and the LCD panels 7 and 8 display an image by matrix actuation. A driver 6 holds the image data for one line, carrying out sequential shift processing of the image data inputted into a serial, and performs actuation which outputs all the data for one line to the LCD panels 7 and 8 at parallel.

[0005] In drawing 23 (1), a driver 6 is arranged to the upper and lower sides of the LCD panel 7, and odd number and the data for the even-numbered train of one line are held by the up-and-down driver 6, respectively. In drawing 23 (2), the LCD panel 8 is divided into two and the train line of an up-and-down partition is independently driven by the driver 6. When the same driver 6 is mounted up and down in these cases, the function which enables the change of the shift direction of image data with a selection

signal SEL is needed from the relation of the terminal array of the package of an integrated circuit. Moreover, the number of stages of the bidirectional shift register 4 is restricted by the package of an integrated circuit, the size of a semiconductor chip, etc. although 40 or more are possible. When the LCD panels 7 and 8 are highly minute or color display is possible, it is necessary to carry out cascade connection of the plurality, to consider as a cascade condition, and to increase the number of stages to shift.

[0006] Drawing 24 shows the SP control circuit 2 of drawing 22 , and the internal configuration of the bidirectional shift register 4. In the SP control circuit 2, D flip-flop (it is called "D\_F/F" for short below) 100 is contained. In the bidirectional shift register 4, the output Q of the preceding paragraph is connected to Input D, and D\_F/F 101-140 to which common connection of the clock CK is made, and cascade connection is carried out as a whole over 40 steps is contained. A start pulse is inputted into a terminal SP 1 side, and as for a start pulse, pulse width is adjusted by D\_F/F100 in the SP control circuit 2 when the direction where the output from D\_F/F140 of the last stage is drawn at a terminal SP 2 side is chosen. Synchronizing with a clock signal CLK, the sequential shift of the output from D\_F/F 101-140 in the bidirectional shift register 4 is carried out.

[0007] Drawing 25 shows actuation of the configuration of drawing 24 . Each D\_F/F 100-140 memorizes data input D synchronizing with the fall of a clock signal CLK, and derives it as an output Q. If a signal is given to a terminal SP 1 as a start pulse, the output SP 01 of D\_F/F100 will start at the fall event of the first clock signal, and will fall at the fall event of the following clock signal. Since actuation of D\_F/F is slightly overdue from the fall event of a clock signal, at the fall event, the data input of the 1st step of D\_F/F101 of the bidirectional shift register 4 is high-level, and it is set to a low level in the fall of the following clock. Hereafter, while one clock period shifts at a time one by one, the outputs D1-D40 of each stage of D\_F/F 101-140 which constitutes the bidirectional shift register 4 change. The output D40 of D\_F/F140 of the last stage is taken out from a terminal SP 2 as a start signal over the driver 6 of consecutiveness in the case of carrying out cascade connection of the driver 6.

[0008] When carrying out cascade connection of the driver 6, wiring to the input terminal SP 1 of the consecutive driver 6 from a terminal SP 2 is required, and the input capacitance of a consecutive driver and the stray capacity of wiring are added. For this reason, in the consecutive driver 6, a wave becomes blunt, and a slash is given and it is easy to come to show it. In the consecutive driver 6, since it judges that an input is high-level when a threshold  $V_{th}$  is exceeded, it is required to be high-level by the start of a clock signal CLK so that it may be shown as SP02. If this condition is fulfilled, also in the consecutive driver 6, a sequential shift will be carried out and data D1next will operate as one shift register as a whole.

[0009] The advanced technology which carries out cascade connection of two or more integrated circuits, and is operated as one shift register as a whole is indicated by JP,63-53558,B, JP,3-233492,A, etc. In JP,63-53558,B, the address of a memory cell is specified one by one with an address counter, and actuation of the driver which follows using the carry signal which is the digit riser of a counter is started. In the advanced technology of JP,3-233492,A, only the predetermined number of clocks takes out a quick output from the preceding paragraph rather than the last stage according to the number of dividing of a clock signal.

[0010]

[Problem(s) to be Solved by the Invention] With the conventional technique explained by drawing 22 - drawing 25 , when carrying out cascade connection of the driver etc., the phenomenon which becomes blunt as the wave of the output pulse from the preceding paragraph gives and shows a slash to drawing 25 arises. If the frequency of a clock signal CLK becomes high, time amount required for a start pulse to reach the level beyond a threshold  $V_{th}$  will become short, and possibility that it becomes impossible to incorporate will become large at the start event of a clock signal CLK. If the incorporation of a start signal is overdue by the driver which follows, it will become impossible to operate the whole as one shift register, and normal image display will no longer be performed. When actuation of the LCD panel 7 as

especially shown in drawing 23 (1) is accompanied by individual actuation of three-primary-colors R in a color picture display, and G and B, a color gap arises and image quality deteriorates further.

[0011] in the advanced technology of JP,63-53558,B or JP,3-233492,A, the chip size of the semi-conductor which power consumption increases according to buildup of an element number, and constitutes an integrated circuit also although kicked he is trying to control the timing of an output pulse using a counter circuit becomes large, and a cost rise is caused.

[0012] Moreover, as shown in drawing 26 , when carrying out cascade connection of the device 9 which are two or more integrated circuits, it is necessary to give a latch pulse (LP) or a start pulse (SP) to juxtaposition to each device 9, and to initialize the dividing condition of the clock signal used within the device 9 after the 2nd step in these advanced technology. For this reason, as a device 9, 3 of an input terminal, an output terminal, and a latch pulse input terminal terminals are needed for cascade connection. It becomes a big burden for many output terminals to be prepared in a device 9, and to prepare the input terminal of a latch pulse, since a clock input terminal is also required. Furthermore, wiring for supply of a latch pulse makes difficult design of a printed-circuit board etc., processing, and actuation.

[0013] The object of this invention is easy cascade connection, and it is offering the integrated circuit which can realize a high speed, a low power, and low cost.

[0014]

[Means for Solving the Problem] In the integrated circuit which derives the output which carries out a sequential shift while this invention answers an input start signal including a multistage type shift register and synchronizing with a clock signal from each stage of a shift register An output is answered from the preceding paragraph rather than the last stage of a multistage type shift register, and the start signal generating circuit which generates an output start signal a period longer than one period of a clock signal is included. As an input start signal by the side of consecutiveness to an output start signal It is the integrated circuit characterized by cascade connection being possible. If this invention is followed, rather than the last stage of a multistage type shift register, a start signal generating circuit will answer an output from the preceding paragraph, and will generate the output start signal used as the input start signal by the side of the consecutiveness in the case of carrying out cascade connection a period longer than one period of a clock signal. Since it takes out from the preceding paragraph rather than the last stage, when earlier than the output from the last stage, an output start signal can be derived. Even if the frequency of a clock signal becomes high and an output wave provincial accent becomes longer than clock 1 period by this, start conditions required as an input start signal which follows can be fulfilled.

[0015] Moreover, this invention carries out cascade connection of two or more integrated circuits, and is characterized by the ability to operate as one multistage type shift register as a whole according to said common clock signal. If this invention is followed, the integrated circuit by which cascade connection was carried out will operate as one multistage type shift register as a whole according to a common clock signal. Even if there is constraint of the chip size of a semi-conductor, the number of terminals of a package, etc. which form an integrated circuit, the shift register of a big number of stages is easily realizable using two or more integrated circuits.

[0016] Moreover, the output from the two-step preceding paragraph is given as a data input rather than the last stage of said multistage type shift register, the signal which carried out dividing of said clock signal to one half is given as clocked into, and said start signal generating circuit of this invention is characterized by including the D flip-flop which derives said output start signal as an output. If this invention is followed, rather than the last stage, an output start signal will make the output from the two-step preceding paragraph the data input of a D flip-flop, and will be drawn as a signal with the amount of two high-level periods of a clock signal. Improvement in the operating characteristic at the time of cascade connection can be aimed at without causing the increment in the chip size of a semi-conductor, and buildup of power consumption, since an output start signal can be generated with such

an easy configuration.

[0017] Moreover, the start signal generating circuit of this invention is characterized by including  $n$  frequency divider which outputs the signal which carried out dividing of said clock signal to  $1/n$  ( $n$  is three or more integers), and the D flip-flop which the output from the  $n$  step preceding paragraph is given as a data input rather than the last stage of said multistage type shift register, and the output from  $n$  frequency divider is given as clocked into, and derives said input start signal as an output. If this invention is followed,  $n$  ( $n$  is three or more integers) frequency divider will input a clock signal, and will output the signal which carried out dividing of the clock signal to  $1/n$ . The signal by which carried out the data input of the output from the  $n$  step preceding paragraph, and dividing was carried out to  $1/n$  rather than the last stage of a multistage type shift register is given to a D flip-flop as a clock signal, and it outputs an output start signal. That is, according to the output from the  $n$  step preceding paragraph, the output start signal whose period of a clock signal  $n$  is the doubled period high level can be outputted. Therefore, improvement in the operating characteristic at the time of concatenation can be aimed at, without causing the increment in the chip size of a semi-conductor, and buildup of power consumption, since an output start signal can be generated with such an easy configuration. Since the output start signal of pulse width long further enough can be generated, normal actuation of the multistage type shift register in the driver which follows can be made to perform easily.

[0018] Moreover, this invention receives said input start signal, and is characterized by having the start pulse control circuit controlled to the pulse width which suited actuation of a multistage type shift register. If this invention is followed, an input start signal will be controlled by the start pulse control circuit by the pulse width which suited actuation of a multistage type shift register. Since what is necessary is just to lengthen enough, without using pulse width exact as an input start signal, normal actuation can be made to perform easily.

[0019] Moreover, said multistage type shift register of this invention is characterized by being the bidirection which can switch the shift direction. If this invention is followed, since a multistage type shift register will be the bidirection which can switch the shift direction, the sense of the package as an integrated circuit can be chosen suitably, and efficient mounting and efficient wiring can be performed.

[0020] Moreover, this invention is characterized by driving a liquid crystal display component with the output from each stage of said multistage type shift register. If this invention is followed, since a liquid crystal display component will be driven with the output from each stage of the multistage type shift register of bidirection, on the other hand, a liquid crystal display component reaches, for example, the sense is changed into another side, the same integrated circuit is mounted, and connection wiring can be performed easily.

[0021] Moreover, this invention is characterized by including the frequency divider which carries out dividing of the clock signal and generates a period longer than said clock signal, and the initialization circuit which initializes a frequency divider to a power up. A period longer than the clock signal used for a start signal generating circuit if this invention is followed is generated by the frequency divider which carries out dividing of the clock signal, and the initialization circuit which initializes a frequency divider to a power up is included. Since it is initialized by the power up, even if it carries out cascade connection of two or more integrated circuits, a frequency divider can be simultaneously initialized to a power up, without connecting the mutual terminal for initialization. Therefore, between the integrated circuits by which cascade connection is carried out, actuation of a start signal generating circuit can be synchronized certainly, and can be performed.

[0022] Moreover, said clock signal of this invention is stopped beyond the period beforehand set to a power up, and said initialization circuit is characterized by initializing said frequency divider synchronizing with the oscillation output from an internal oscillator circuit including the internal oscillator circuit oscillated with the period of under the idle period of a clock signal. If this invention is followed, a clock signal will be stopped beyond the period beforehand set to a power up. The internal oscillator circuit oscillated with the period of under the idle period of a clock signal is included, and

initialization of a frequency divider is performed in an initialization circuit synchronizing with the oscillation output. By including an internal oscillator circuit, sequence actuation of an initialization circuit can be realized and positive initialization can be performed.

[0023] Moreover, said initialization circuit of this invention is characterized by initializing said frequency divider by power-on-reset actuation using the delay of the start of the charge electrical potential difference of a capacitor. If this invention is followed, initialization of a frequency divider will be realized by the power-on-reset actuation using the delay of the start of the charge electrical potential difference of a capacitor. Before the charge of supply voltage, a charge is not stored in a capacitor, but with powering on, a charge is stored and terminal voltage starts \*\*\*\*. Positive initialization can be performed using the start property of a capacitor.

[0024]

[Embodiment of the Invention] Drawing 1 shows the logical construction which one gestalt of operation of this invention simplified. An input start signal is given to SP\_I/O buffer 11 from a terminal SP 1, and pulse width is controlled by the SP control circuit 12. A selection signal SEL is given to a selector circuit 13, and the data shift direction of the bidirectional shift register 14 can be switched to it between a terminal SP 1 and a terminal SP 2. When the shift direction is one side, an input start signal is inputted through SP\_I/O buffer 11 from a terminal SP 1. When the shift direction is the other side, an input start signal is inputted through SP\_I/O buffer 15 from a terminal SP 2.

[0025] That is, when a selection signal SEL is one logical level as it is the configuration of performing 40 steps of shifts, data shift in the direction of [ from the 1st step to the 40th step ], and the bidirectional shift register 14 is drawn from a terminal SP 2 rather than the 40th step of last stage as an input start signal of a driver 16 which the output from the 38th step two steps ago follows. When a selection signal SEL is the logical level of another side, data shift from the 40th step in the direction of the 1st step, and the output from the 3rd step two steps ago is drawn from a terminal SP 1 rather than the 1st step of last stage as an input start signal of the driver 16 which follows. As an input start signal of the driver 16 of consecutiveness in the case of carrying out cascade connection of the driver 16, when a terminal SP 2 side turns into an output side, the 38th step of output is drawn, and when a terminal SP 1 side turns into an output side, the output from the 3rd step is drawn.

[0026] Drawing 2 inputs an input start signal from a terminal SP 1, and shows the electric configuration simplified in the case of deriving an output start signal from a terminal SP 2. In the SP control circuit 12, D\_F/F (it is called "R\_F/F" for short below) 41, D\_F/F42, and R\_F/F43 in which a reset terminal is prepared are contained. In the bidirectional shift register 14, D\_F/F201-240 by which cascade connection is carried out over 40 steps are contained, and D\_F/F44 which operates as a start signal generating circuit further is also contained.

[0027] A clock signal CLK is given in common to clocked into CK of R\_F/F41 and D\_F/F 201-240. Reset-signal RESET is given to reset input [ of R\_F/F41 ] R. The output which reversed the output Q is given to data input D of R\_F/F41. The output Q of R\_F/F41 is given common to clocked into CK of D\_F/F 42 and 44, and reset input R of R\_F/F43. An input start signal is given to data input D of D\_F/F42 from a terminal SP 1. The output Q of D\_F/F42 is given to clocked into CK of R\_F/F43. Data input D of R\_F/F43 is fixed high-level. The output Q of R\_F/F43 is given to data input D of D\_F/F201. Between D\_F/F 201-240 by which cascade connection is carried out, the output Q by the side of the preceding paragraph is given to the input D by the side of the latter part. The 38th step of output D38 of D\_F/F238 is also given to data input D of D\_F/F44. An output start signal is drawn from the output Q of D\_F/F44 through a terminal SP 2 as an input start signal of the driver 16 which follows.

[0028] Drawing 3 shows actuation of the configuration of drawing 2 as a timing diagram. If it changes to a low level and is supplied to it once reset-signal RESET becomes high-level, the output Q of R\_F/F41 will serve as a low level. Dividing actuation of 1/2 to which the level of an output Q is changed by turns for every fall of the following clock signal CLK is performed hereafter, and the dividing clock signal CLK2 it is twice whose period of this is generated. If an input start signal is inputted into a terminal SP 1 by 2



clock periods (2, TCK) at least by the fall of the dividing clock signal CLK2, after an input start signal falls, the signal SPin1 from the output Q of D\_F/F42 will be made high-level to the fall of the following dividing clock CLK2. The dividing clock signal CLK2 is reset between high level, and, as for D\_F/F43, an output Q serves as a low level. The signal SP with which only the 1-round period of a clock signal CLK becomes high-level is drawn from this output Q until it becomes high-level in the start of a signal SPin1 and then the dividing clock signal CLK2 becomes high-level. Thus, the signal SP which controlled pulse width is given to the bidirectional shift register 14 as a start signal from R\_F/F43 which is a start signal control circuit.

[0029] If start signal SP is given to the 1st step of input D of D\_F/F201, it will be given to the input D of D\_F/F of each [ the output signals D1 and D2 of each stage, —, / that sequential derivation of D38, D39, and D40 is carried out, and follow ] stage, shifting synchronizing with the start of a clock signal CLK. Moreover, the 38th step of output D38 is given to the input D of D\_F/F44. This output Q derives the signal which becomes one period of the dividing clock signal CLK2, i.e., the period high level for two periods of a clock signal CLK, from a terminal SP 2 as an output start signal synchronizing with the fall of the dividing clock signal CLK2. Since this signal is received as shown as SPin2 by D\_F/F42 in the consecutive SP control circuit 12, and it has the time allowances for 2 clock periods, even if the frequency of a clock signal CLK becomes high, it can answer to desired timing certainly.

[0030] Drawing-4 and drawing-5 show the operating state when-switching the-shift-direction-with-a selection signal SEL, respectively. According to the shift direction, an input or an output is relieved of terminals SP1 and SP2, and they also change the role of SP\_I/O buffers 11 and 15.

[0031] Drawing 6 shows the connection condition in the case of carrying out cascade connection of two or more drivers 16 to a cascade. Each clock signal CLK and a selection signal SEL are given in common, and an adjoining terminal SP 1 and adjoining Terminal SP 2 are connected. Thus, by carrying out cascade connection, one bidirectional shift register is constituted as a whole.

[0032] Drawing 7 shows a configuration for the bidirectional shift register 16 to realize bidirection. The selector circuit 13 of drawing 1 includes the selectors 301–341 and the AND gate 350,351 which combined the AND gate and the OR gate. The AND gate 350,351 and 1 set of AND gate of same 2 inputs are included in each selectors 301–341. On the other hand, a selection signal SEL carries out ON/OFF of the gate as negative logic as positive logic in one side of the 2 input AND gates of a lot. Selectors 302–339 choose the output Q of D\_F/F201–D\_F/F238 of the preceding paragraph, when a selection signal SEL is high-level, when this is a low level, choose the latter output Q and give it to the input D of D\_F/F 202–239. A selector 301,340 chooses the output Q and cascade input of D\_F/F202, respectively, when a selection signal SEL is high-level and it is a cascade input and the output Q of D\_F/F239, and a low level, and it gives them to the input D of D\_F/F201,240, respectively. A selector 341 switches selectively during the input D of D\_F/F239 or D\_F/F202, and the input D of D\_F/F44 according to the level of a selection signal SEL.

[0033] Drawing 8 and drawing 9 show the configuration of the start signal generating circuit in other gestalten of operation of this invention. Each D\_F/F shifts a half bit [ every ] signal, and performs master slave actuation. 3 input OR gate 45 is made to generate an output start signal in drawing 8 from the OR of the output side of every a D\_F/F239 order half bit, and the output side of the half bit from the first half of D\_F/F240. In drawing 9, 3 input NAND gate 46 is used instead of the OR gate 45 of drawing 8, the AND of the input side of the half bit in the first half of D\_F/F239 order and D\_F/F240 is reversed, and an output start signal is generated. According to the gestalt of these operations, rather than the gestalt of the operation using above D\_F/F44, circuit magnitude can be made small and the chip size of a semi-conductor can be reduced.

[0034] Drawing 10 shows the configuration of SP control circuit which equips a frequency divider with a reset function as a gestalt of further others of operation of this invention. Drawing 11 shows the actuation. The reversal output QB is connected to Input D, and R\_F/F51 which operates in the start of the output of the OR gate 50 constitutes one half of frequency dividers. In the fall of this output Q, the



trigger of R\_F/F52 to which Input D is fixed high-level is carried out. If the trigger of R\_F/F52 is carried out and an output Q becomes high-level, R F/F51 will stop.

[0035] R\_F/F54 carries out dividing of the clock signal CLK to one half, and generates the dividing clock CK 2. Synchronizing with the fall of dividing clock signal CK2, start signal SP detects that it is a low level, and D\_F/F55 generate the start pulse SPD used as a low level between 1 clock periods. An output Q becomes high-level in the fall of a start pulse SPD, and R\_F/F56 gives a clock signal CLK as GCK to the bidirectional shift register 58 through the AND gate 57. The bidirectional shift register 58 may be a 40-step type or other number of stages like the gestalt of operation of drawing 1.

[0036] In a clock signal CLK, an idle period is prepared immediately after the charge of a power source ON, and an internal oscillator 53 operates to it in the meantime. An internal oscillator 53 is constituted including the NOR gate 61, inverters 62 and 63, resistance 64, and a capacitor 65, and generates the internal clock signal ICK. The internal clock signal ICK is outputted from a buffer 66. R\_F/F51 will complete initialization of a frequency divider and R F/F54, once it carries out dividing of the internal clock signal ICK to one half and output 2Q of R\_F/F52 becomes high-level in the fall of the output 1Q. If an idle period expires in this condition and a clock signal CLK is supplied, dividing clock signal CK2 will be generated in the same phase with two or more integrated circuits.

[0037] Drawing 12 shows the configuration of the power-on-reset circuit using the charge electrical potential difference of Capacitor C being overdue, and starting to a power-up. Between supply voltage Vcc and Capacitor C, Resistance R is connected by MOS transistor 71 of Pch, and drawing 12 (2) at drawing 12 (1), respectively. A charge electrical potential difference is drawn as a signal ACL through an inverter 72.

[0038] Drawing 13 shows actuation of drawing 12 (1). As compared with supply voltage Vcc, the charge electrical potential difference ACLB starts behind time, and this serves as a reset period set to the period of a low level having high-level Signal ACL. Drawing 12 (2) performs same actuation.

[0039] Since it has the above reset functions, even if it connects a driver 16 to a cascade like drawing 14 and omits a signal line for latch pulses like drawing 26, to the same timing, each driver 16 performs dividing actuation and functions certainly as one multistage type shift register as a whole. If the signal line for latch pulses is omissible, the design of the wiring substrate for mounting becomes easy, it becomes unnecessary [ the terminal of the package of an integrated circuit ], and a manufacturing cost can be reduced synthetically. In addition, although the bidirectional shift register 14 explains 40 steps of cases to an example, the same effectiveness is acquired with other number of stages.

[0040] Drawing 15 shows the logical construction which the gestalt of further others of operation of this invention simplified. In addition, the same reference mark is given to the same configuration as drawing 1, and explanation is omitted.

[0041] A start signal is given from a terminal SP 1, and, as for SP\_I/O buffer 11, pulse width is controlled by the SP control circuit 12. A selection signal SEL is given and a selector circuit 13 can switch the data shift direction of the bidirectional shift register 14 between a terminal SP 1 and a terminal SP 2.

[0042] It is drawn from a terminal SP 2 as an input start signal of a driver 16 from a terminal SP 1 side to a terminal SP 2 with which the output from the 37th step three steps before the 40th step of last stage follows at the time of a shift. On the other hand, at the time of the shift to a terminal SP 1 side from a terminal SP 2 side, it is drawn from a terminal SP 1 as an input start signal of a driver 16 which the output from the 4th step three steps before the 1st step of last stage follows.

[0043] Drawing 16 is drawing showing the electric configuration simplified in the case of inputting an input start signal from a terminal SP 1, and deriving an output start signal from a terminal SP 2 by the configuration of drawing 15. In addition, the same reference mark is given to the same configuration as drawing 2, and explanation is omitted. In the bidirectional shift register 14, D\_F/F201-240 by which cascade connection is carried out over 40 steps, and the start signal generating circuit 80 are included. D\_F/F44 and three frequency dividers 81 are included in the start signal generating circuit 80. A clock

signal CLK is given in common to the clock signal input CK of D\_F/F41, D\_F/F 201-240, and three frequency dividers 81. Reset-signal RESET is given to reset input R of R\_F/F41, and reset input [ of three frequency dividers 81 ] R. R\_F/F41 will output the 1st dividing clock signal CLK2 which is twice the period of one period of a clock signal CLK, if reset-signal RESET is inputted. Three frequency dividers 81 will output the 2nd dividing clock signal CLK3 which is 3 times the period of one period of a clock signal CLK, if reset-signal RESET is inputted. The output of three frequency dividers 81 is given common to clocked into CK of D\_F/F 42 and 44.

[0044] Drawing 17 is a timing diagram which shows actuation of the configuration of drawing 16 . If it is changed and reset by the low level once reset-signal RESET becomes high-level, the output Q of R\_F/F41 and the output of three frequency dividers 81 will serve as a low level. R\_F/F41 performs hereafter dividing actuation of 1/2 to which the level of an output Q is changed by turns for every fall of the following clock signal CLK, and generates the 1st dividing clock signal CLK2 whose period is twice the period TCK of a clock signal CLK.

[0045] Three frequency dividers 81 start the level of an output at the time of the start of the following clock signal CLK, start the level of an output at the time of the fall of the clock signal which passed the 1.5 times as many period as the period TCK of a clock signal CLK, and start the level of an output at the time of the start of \*\*\*\*\* and the clock signal which passed the 1.5 times as many period as a period TCK further. That is, three frequency dividers 81 perform 1-/ 3 dividing actuation to which the level of an output is changed by turns for every 1.5 times as much period progress as the period TCK of a clock signal CLK, and generate the 3 times as many 2nd dividing clock signal CLK3 as the period TCK of a clock signal CLK.

[0046] If an input start signal is inputted into a terminal SP 1 by 3 clock periods (3, TCK) at least by the fall of the 2nd dividing clock signal CLK3, after an input start signal falls, the signal SPin1 from the output of D\_F/F42 will be made high-level to the fall of the following dividing clock signal CLK3.

[0047] The 1st dividing clock signal CLK2 is reset between high level, and, as for D\_F/F43, an output Q serves as a low level. This output Q will fall, if it becomes high-level in the start of a signal SPin1 and then the 1st dividing clock signal CLK2 becomes high-level. That is, the signal which becomes high-level by one period of a clock signal CLK is drawn from this output Q. The SP control circuit 12 is given to the bidirectional shift register 14 by making into a start signal the signal SP by which pulse width was controlled.

[0048] If start signal SP is given to the 1st step of input D of D\_F/F201 of the bidirectional shift register 14, D\_F/F of each stage will be shifted synchronizing with the start of a clock signal CLK, and sequential derivation of the output signals D1-D40 of each stage will be carried out. The 37th step of output D37 of D\_F/F237 is given to the input D of D\_F/F44 at being given to the input D of D\_F/F238, and coincidence.

[0049] The output Q of this D\_F/F44 is outputted to the consecutive driver 16 from an output terminal SP 2 synchronizing with the fall of the 2nd dividing clock signal CLK3 by making into an output start signal the signal which becomes one period of the 2nd dividing clock signal CLK3, i.e., the period high level which is a part for 3 of the period TCK of a clock signal CLK periods (3, TCK), from a terminal SP 2. In D\_F/F42 in the SP control circuit 12 in the consecutive driver 16, the signal with which drawing 17 becomes [ the amount of one period of the 2nd dividing clock signal CLK3 ] high-level as is shown as SPin2 is inputted.

[0050] Since the output start signal inputted into the SP control circuit 12 in the consecutive driver 16 has the time allowances for 3 clock periods, even if the frequency of a clock signal CLK becomes high, it can answer to desired timing certainly. Therefore, it continues at the output D40 of D\_F/F240, and the output D1 of D\_F/F201 of the 1st step in the bidirectional shift register 14 in the consecutive driver 16 is outputted without delay.

[0051] Drawing 18 is a timing diagram which shows actuation of a configuration of outputting a signal from an output terminal SP 2 using the output from before n (n is three or more integers) stage of the

bidirectional shift register 14. The configuration which outputs a start signal using the output of D\_F/F n-step before the last stage of the bidirectional shift register 14 is the same as the configuration of drawing 15 and drawing 16 , and turns into a configuration which substituted three frequency dividers 81 of the start signal generating circuit 80 shown in drawing 16 for n frequency divider. n frequency divider inputs a clock signal CLK and reset-signal RESET, performs 1/n dividing actuation of a clock signal, and outputs 2nd dividing clock signal CLK<sub>n</sub> whose period is n times the period TCK of a clock signal CLK. In addition, a start signal is outputted using the output Q of D\_F/F n-step before the last stage of the bidirectional shift register 14.

[0052] If reset-signal RESET is given to R\_F/F41 and n frequency divider, R\_F/F41 will input a clock signal CLK, will perform 1 / 2 dividing actuation, and will generate the 1st dividing clock signal CLK<sub>2</sub> whose period is twice the period TCK of a clock signal CLK. n frequency divider inputs a clock signal CLK, performs 1/n dividing actuation, and generates 2nd dividing clock signal CLK<sub>n</sub> whose period is n times the period TCK of a clock signal CLK.

[0053] If an input start signal is inputted by n clock period (n-TCK) at least, after an input start signal falls, the signal SP<sub>in1</sub> from the output Q of D\_F/F42 will be made high-level to the fall of the next 2nd dividing clock signal CLK<sub>n</sub>. The signal SP with which only the 1-round period of a clock signal CLK becomes high-level is drawn until D\_F/F43 is set to the 1st dividing clock signal CLK<sub>2</sub> being high-level. That is, D\_F/F43 output the signal SP by which pulse width was controlled.

[0054] If start signal SP is given to the 1st step of input D of D\_F/F201 of the bidirectional shift register 14, synchronizing with the start of a clock signal CLK, D\_F/F of each stage will be shifted and sequential derivation of the output signals D1-D40 of each stage will be carried out. Moreover (40-n), the output of D\_F/F of eye a stage is given to the input D of D\_F/F44 at being given to the input D of D\_F/F of the next step, and coincidence.

[0055] The output Q of this D\_F/F44 is outputted to the consecutive driver 16 from an output terminal SP 2 synchronizing with the fall of 2nd dividing clock signal CLK<sub>n</sub> by making into an output start signal the signal which serves as period high level which is one period (n-TCK) of 2nd dividing clock signal CLK<sub>n</sub> from a terminal SP 2. In D\_F/F42 in the SP control circuit 12 in the consecutive driver 16, as shown in SP<sub>in2</sub> of drawing 18 , the signal with which the amount of one period of 2nd dividing clock signal CLK<sub>n</sub> becomes high-level is inputted.

[0056] The output start signal inputted into the SP control circuit 12 in the consecutive driver 16 can answer to desired timing certainly, even if the frequency of a clock signal CLK becomes high, since there are time allowances for n clock period (n-TCK). Therefore, it continues at the output D40 of D\_F/F240, and the output D1 of D\_F/F201 of the 1st step in the bidirectional shift register 14 in the consecutive driver 16 is outputted without delay.

[0057] Drawing 19 is the block diagram showing the logical configuration which shows the gestalt of further others of operation of this invention. The same reference mark is given to the same configuration as drawing 1 , and explanation is omitted. An input start signal is given from a terminal SP 1, and, as for SP\_I/O buffer 11, pulse width is controlled by the SP control circuit 12. A selection signal SEL is given and a selector circuit 13 can switch the data shift direction of the bidirectional shift register 14 between a terminal SP 1 and a terminal SP 2.

[0058] It is drawn from a terminal SP 2 as an input start signal of a driver 16 from a terminal SP 1 side to a terminal SP 2 with which the output from the 39th step one step before the 40th step of last stage follows at the time of a shift. On the other hand, at the time of the shift to a terminal SP 1 side from a terminal SP 2 side, it is drawn from a terminal SP 1 as an input start signal of a driver 16 which the output from the 2nd step one step before the 1st step of last stage follows.

[0059] Drawing 20 is drawing showing the electric configuration simplified in the case of inputting an input start signal from a terminal SP 1, and deriving an output start signal from a terminal SP 2 by the configuration of drawing 19 . In addition, the same reference mark is given to the same configuration as drawing 2 , and explanation is omitted.

[0060] The SP control circuit 12 is constituted including D\_F/F200. An input start signal is given to Input D and, as for D\_F/F200, a clock signal CLK is given to clocked into CK. D\_F/F200 output start signal SP01 to the bidirectional shift register 14 from an output Q. Drawing 21 shows actuation of the configuration of drawing 20. As an input start signal, if a signal is given to a terminal SP 1, the output SP 01 of D\_F/F200 will start at the fall event of the first clock signal CLK, and will fall at the fall event of the following clock signal CLK.

[0061] If start signal SP is given to the input D of D\_F/F201 of the bidirectional shift register 14, sequential derivation of the output signals D1-D40 of each stage will be carried out shifting D\_F/F of each stage synchronizing with the start of a clock signal CLK. Moreover, the 39th step of output of D\_F/F239 is outputted to the consecutive driver 16 as an output start signal from a terminal SP 2.

[0062] As shown in the conventional technique, in outputting to the consecutive driver 16 by making the 40th step of output Q of D\_F/F240 of the bidirectional shift register 14 into an output start signal, within the consecutive driver 16, a wave provincial accent arises in start signal SP2 according to causes, such as an input capacitance of the consecutive driver 16, and stray capacity of wiring. Since it is delayed by the half period of a clock signal CLK - 1 period, data are lost, and it becomes impossible for start signal SP2 by the wave provincial accent to operate the whole as one shift register.

[0063] With the gestalt of this operation, it is outputting to the consecutive driver 16 from the last stage of the bidirectional shift register 14 by making the 39th step of output Q one step ago into an output start signal. As are shown to drawing 21 by this, and a wave provincial accent arises and the slash was given and shown according to causes, such as an input capacitance of the consecutive driver 16, and stray capacity of wiring, even if start signal SP2 is delayed by a half period - 1 period, he has time allowances.

[0064] For this reason, at least, start signal SP2 of the consecutive driver 16 stands up, and output D1next of the 1st step of the bidirectional shift register 14 in the consecutive driver 16 starts at the start event of the output D40 of D\_F/F240 certainly at the fall event of the output of D\_F/F240. By this, the whole can be operated as one shift register in the driver which carries out cascade connection.

[0065] In addition, delay of start signal SP2 by the wave provincial accent mentioned above is decided by relative relation between a clock signal CLK and start signal SP2. That is, if a clock signal CLK is accelerated, delay of start signal SP2 will become large. In the configuration outputted to the consecutive driver 16 from the last stage of the bidirectional shift register 14 by making the 39th step of output one step ago into an output start signal, if it is the average rate of the current clock signal CLK, it will be satisfactory, but when delay of start signal SP2 becomes longer than one period of a clock signal CLK by improvement in the speed of the further clock signal CLK, time allowances are lost and there is a possibility of malfunctioning. For this reason, the configuration which outputs an output start signal to the consecutive driver 16 using the output Q step [ 2nd / or more ] ago from the last stage of the bidirectional shift register 14 mentioned above is ideal.

[0066]

[Effect of the Invention] As mentioned above, according to this invention, rather than the last stage of a multistage type shift register, an output is answered from the preceding paragraph and the output start signal of the preceding paragraph used as an input start signal of two or more integrated circuits by which cascade connection was carried out is generated by the start signal generating circuit a period longer than one period of a clock signal. Even if the output wave of an output start signal becomes blunt with the input capacitance by the side of consecutiveness, the stray capacity of wiring, etc., it can be made to synchronize with a clock signal with a high frequency certainly by this.

[0067] Moreover, according to this invention, two or more integrated circuits by which cascade connection is carried out can operate as one shift register as a whole according to a common clock signal. Even if there are an area-limit from the chip size of the semi-conductor of an integrated circuit and a limit of the number of output terminals of a package, the shift register which has a big number of stages as a whole using two or more integrated circuits is easily realizable.

[0068] Moreover, according to this invention, an output start signal can be generated with the easy configuration which uses a D flip-flop. This can protect the increment in the chip size of a semi-conductor, and buildup of power consumption.

[0069] Moreover, according to this invention, an output start signal can be generated with the easy configuration which uses  $n$  ( $n$  is three or more integers) frequency divider and a D flip-flop. Moreover, according to the output from the  $n$  step preceding paragraph, the output start signal whose period of a clock signal  $n$  is the doubled period high level can be outputted rather than the last stage of a multistage type shift register. Therefore, improvement in the operating characteristic at the time of concatenation can be aimed at, without causing the increment in the chip size of a semi-conductor, and buildup of power consumption, since an output start signal can be generated with such an easy configuration. The output start signal of pulse width long further enough is generated, and since time allowances can be given and outputted, normal actuation of the multistage type shift register in the driver which follows can be made to perform easily.

[0070] Moreover, since an input start signal is controlled by the start pulse control circuit controlled to the pulse width which suited actuation of a multistage type shift register according to this invention, as compared with the period of a clock signal, a pulse width input start signal long enough can be given, and positive actuation can be made to perform.

~~[0071] Moreover, according to this invention, since a multistage type shift register is the bidirection~~  
which can switch the shift direction, setting out of the circuit pattern in the case of mounting an integrated circuit becomes easy, and it can make area of a wiring substrate etc. small.

[0072] Moreover, according to this invention, a liquid crystal display component is driven with the output from each stage of a multistage type shift register. Since a multistage type shift register is bidirection, on the other hand, a liquid crystal display component can reach, the same integrated circuit can be mounted in another side, and a rational circuit pattern can perform electrical installation.

[0073] Moreover, since the initialization circuit which a period longer than one period of the clock signal used for a start signal generating circuit carries out dividing of the clock signal, generates it, and initializes the frequency divider to a power up is included according to this invention, in each integrated circuit which carried out cascade connection of two or more integrated circuits, the frequency divider which synchronized with powering on certainly can be operated.

[0074] Moreover, according to this invention, an internal oscillator circuit is included in an initialization circuit, and in case it is stopped beyond the period that a clock signal sets to a power up beforehand, a frequency divider is initialized synchronizing with the oscillation output from an internal oscillator circuit. Since initialization which synchronized with the oscillation output from the internal oscillator circuit is performed, the frequency divider of each integrated circuit can be certainly initialized to a power up.

[0075] Moreover, according to this invention, an initialization circuit initializes a frequency divider by power-on-reset actuation using the delay of the start of the charge electrical potential difference of a capacitor. Since positive power on reset can be performed by forming a capacitor in an integrated circuit, it can initialize with an easy configuration.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the logical configuration of one gestalt of operation of this invention.

[Drawing 2] It is the block diagram showing the equivalent electric configuration at the time of choosing the shift direction as an one direction with the configuration of drawing 1 .

[Drawing 3] It is the timing diagram which shows actuation of the configuration of drawing 2 .

[Drawing 4] It is the block diagram showing the logical construction at the time of choosing an one direction with the gestalt of operation of drawing 1 .

[Drawing 5] It is the block diagram showing the logical construction at the time of choosing the other directions with the gestalt of operation of drawing 1 .

[Drawing 6] It is the block diagram showing the electric configuration in the case of carrying out cascade connection of two or more integrated circuits by the gestalt of operation of drawing 1 .

[Drawing 7] It is the equivalent electrical diagram showing the electric configuration corresponding to the gestalt of operation of drawing 1 .

[Drawing 8] It is the equivalent electrical diagram showing the electric configuration of other gestalten of operation of this invention.

[Drawing 9] It is the equivalent electrical diagram showing the electric configuration of the gestalt of further others of operation of this invention.

[Drawing 10] As a gestalt of further others of operation of this invention, it is the equivalent electrical diagram showing the configuration for initialization.

[Drawing 11] It is the timing diagram which shows actuation of the gestalt of operation of drawing 10 .

[Drawing 12] It is the equivalent electrical diagram showing the configuration for the power on reset by the gestalt of further others of operation of this invention.

[Drawing 13] It is the graph which shows actuation of the gestalt of operation of drawing 12 .

[Drawing 14] It is the simplified block diagram showing the configuration which initializes at the time of the cascade connection of each gestalt of operation of this invention.

[Drawing 15] It is the block diagram showing the logical construction which other gestalten of operation of this invention simplified.

[Drawing 16] It is the block diagram showing the equivalent electric configuration at the time of choosing the shift direction as an one direction with the configuration of drawing 15 .

[Drawing 17] It is the timing diagram which shows actuation of the configuration of drawing 16 .

[Drawing 18] It is the timing diagram which shows actuation of a configuration of taking out the output from before n (n being three or more integers) phase of the last stage of the bidirectional shift register 14.

[Drawing 19] It is the block diagram showing the logical configuration which shows other gestalten of operation of this invention.

[Drawing 20] It is the block diagram showing the equivalent electric configuration at the time of choosing the shift direction as an one direction with the configuration of drawing 19 .

[Drawing 21] It is the timing diagram which shows actuation of the configuration of drawing 20 .

[Drawing 22] It is the block diagram showing the logical construction of the conventional technique.

[Drawing 23] In order to explain the required reason of bidirection, it is the block diagram in which simplifying and showing an electric configuration.

[Drawing 24] It is the block diagram showing the equivalent electric configuration of drawing 22 .

[Drawing 25] It is the timing diagram which shows actuation of the configuration of drawing 24 .

[Drawing 26] It is the simplified block diagram showing the electrical installation condition for initialization in the case of carrying out cascade connection of the integrated circuit by the advanced technology to multistage.

[Description of Notations]

11 15 SP\_I/O buffer  
12 SP Control Circuit  
13 Selector Circuit  
14 58 Bidirectional shift register  
16 Driver  
41,43,51,52,54,56 R\_F/F  
42,44,55 D\_F/F  
45 NOR Gate  
46 NAND Gate  
50 OR Gate  
53 Internal Oscillator  
65 Capacitor  
80 Start Signal Generating Circuit  
~~81 Three-Frequency Dividers~~  
201-240 D\_F/F  
301-341 Selector

---

[Translation done.]



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-329696

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl.<sup>6</sup>

G 1 1 C 19/00

識別記号

庁内整理番号

F I

G 1 1 C 19/00

技術表示箇所

J  
C  
H

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21)出願番号 特願平7-332303

(22)出願日 平成7年(1995)12月20日

(31)優先権主張番号 特願平7-66386

(32)優先日 平7(1995)3月24日

(33)優先権主張国 日本 (J P)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 勝谷 昌史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

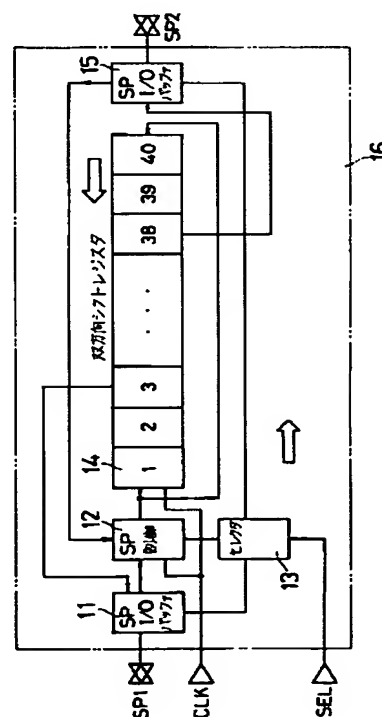
(74)代理人 弁理士 西教 圭一郎

(54)【発明の名称】 集積回路

(57)【要約】

【課題】 クロック周波数が高くなっても容易かつ確実に縦続接続を可能とする。

【解決手段】 SP\_I/Oバッファ11にはスタート信号が端子SP1から与えられ、SP制御回路12によってパルス幅が制御される。セクタ回路13は、選択信号SELと与えられ、双方向シフトレジスタ14のデータシフト方向を切換えることができる。シフト方向が他方側のときには、端子SP2からSP\_I/Oバッファ15を介してスタート信号が入力される。端子SP1側から端子SP2側へのシフトのときには、40段目の最終段から2段前の38段目からの出力が、後続するドライバ16の入力スタート信号として、クロック信号CLKの1周期よりも長い期間、端子SP2から導出される。



(2)

## 【特許請求の範囲】

【請求項 1】 多段式シフトレジスタを含み、入力スタート信号にตอบสนองして、クロック信号に同期しながら順次シフトする出力をシフトレジスタの各段から導出する集積回路において、

多段式シフトレジスタの最終段よりも前段からの出力にตอบสนองし、クロック信号の 1 周期よりも長い周期で出力スタート信号を発生するスタート信号発生回路を含み、出力スタート信号を後続側の入力スタート信号として、縦続接続可能であることを特徴とする集積回路。

【請求項 2】 複数の集積回路を縦続接続し、共通の前記クロック信号に従って、全体として 1 つの多段式シフトレジスタとして動作可能であることを特徴とする請求項 1 記載の集積回路。

【請求項 3】 前記スタート信号発生回路は、前記多段式シフトレジスタの最終段よりも 2 段前段からの出力がデータ入力として与えられ、前記クロック信号を  $1/2$  に分周した信号がクロック入力として与えられ、出力として前記出力スタート信号を導出する D フリップフロップを含むことを特徴とする請求項 2 記載の集積回路。

【請求項 4】 前記スタート信号発生回路は、前記クロック信号を  $1/n$  ( $n$  は 3 以上の整数) に分周した信号を出力する  $n$  分周回路と、前記多段式シフトレジスタの最終段よりも  $n$  段前段からの出力がデータ入力として与えられ、 $n$  分周回路からの出力がクロック入力として与えられ、出力として前記入力スタート信号を導出する D フリップフロップとを含むことを特徴とする請求項 2 記載の集積回路。

【請求項 5】 前記入力スタート信号を受信し、多段式シフトレジスタの動作に適合したパルス幅に制御するスタートパルス制御回路を備えることを特徴とする請求項 1 記載の集積回路。

【請求項 6】 前記多段式シフトレジスタは、シフト方向が切換え可能な双方向性であることを特徴とする請求項 1 記載の集積回路。

【請求項 7】 前記多段式シフトレジスタの各段からの出力によって、液晶表示素子の駆動を行うことを特徴とする請求項 6 記載の集積回路。

【請求項 8】 前記クロック信号よりも長い周期を、クロック信号を分周して発生する分周回路と、電源投入時に、分周回路を初期化する初期化回路とを含むことを特徴とする請求項 1 記載の集積回路。

【請求項 9】 前記クロック信号は、電源投入時に予め定める期間以上休止され、前記初期化回路は、クロック信号の休止期間未満の周期で発振する内部発振回路を含み、内部発振回路からの発振出力に同期して前記分周回路を初期化することを特徴とする請求項 8 記載の集積回路

【請求項 10】 前記初期化回路は、コンデンサの充電電圧の立上りの遅れを利用するパワーオンリセット動

作によって、前記分周回路を初期化することを特徴とする請求項 8 記載の集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、単独の集積回路では実現困難な多くの段数を有するシフトレジスタを縦続接続によって実現し、特に液晶表示素子の駆動用に用いられる集積回路に関する。

【0002】

【従来の技術】従来から、図 22 に示すような集積回路が、図 23 に示すように液晶表示素子の駆動用に使用されている。このような集積回路は、スタートパルス（以下「SP」と略称することがある）にตอบสนองして動作を開始し、クロック信号（以下「CLK」と略称することがある）に従って順次的にシフトしながら出力を導出する。シフトの方向は双方向性であり、選択信号（以下「SEL」と略称することがある）に従って切換えられる。

【0003】一方の動作方向に対するスタートパルスは、端子 SP1 から入力され、SP 入出力（以下「SP\_I/O」と略称する）バッファ 1 から SP 制御回路 2 に与えられる。SP\_I/O バッファ 1 は、選択信号 SEL が一方の論理レベルとなるとときにセレクト回路 3 によって能動化される。SP\_I/O バッファ 1 が能動化されるときに、多段式、たとえば 40 段の双方向シフトレジスタ 4 は、クロック信号 CLK に同期して、1, 2, ..., 39, 40 の方向に順次的にシフトしながら各段の出力を導出する。選択信号 SEL が他方の論理レベルのときには、双方向シフトレジスタ 4 は逆方向に切換えられ、他方の端子 SP2 からスタートパルスが与えられる SP\_I/O バッファ 5 が能動化され、一方の SP\_I/O バッファ 1 は停止状態となる。双方向シフトレジスタ 4 では、40, 39, ..., 2, 1 のように出力を導出する段が順次シフトするようになる。

【0004】SP\_I/O バッファ 1, 5, SP 制御回路 2、セレクト回路 3 および双方向シフトレジスタ 4 は、図 23 (1), (2) に示すようなドライバ 6 として、LCD パネル 7, 8 をそれぞれ駆動するために用いられる。LCD パネル 7, 8 は、行方向および列方向に多くの信号線が設けられ、マトリクス駆動によって画像を表示する。ドライバ 6 は、たとえば、シリアルに入力される画像データを、順次シフト処理しながら 1 ライン分の画像データを保持し、LCD パネル 7, 8 に 1 ライン分の全データをパラレルに出力する動作を行う。

【0005】図 23 (1) では、LCD パネル 7 の上下にドライバ 6 を配置し、上下のドライバ 6 で奇数および偶数番目の列 1 ライン分のデータをそれぞれ保持する。図 23 (2) では、LCD パネル 8 を 2 分割して、上下の区画の列ラインを別々にドライバ 6 によって駆動する。これらの場合に、同じドライバ 6 を上下に実装する

(3)

3

と、集積回路のパッケージの端子配列の関係から、画像データのシフト方向を選択信号SELによって切換え可能にする機能が必要となる。また、双方向シフトレジスタ4の段数は、40以上も可能であるけれども、集積回路のパッケージや半導体チップのサイズ等によって制限される。LCDパネル7、8が高精細であったり、カラー表示可能であったりするときには、複数個を縦続接続して、カスケード状態とし、シフトする段数を増やす必要がある。

【0006】図24は、図22のSP制御回路2および双方向シフトレジスタ4の内部構成を示す。SP制御回路2内にはDフリップフロップ（以下「D<sub>F</sub>/F」と略称する）100が含まれる。双方向シフトレジスタ4内には、前段の出力Qが入力Dに接続され、クロックCKが共通接続されて全体として40段にわたって縦続接続されるD<sub>F</sub>/F101～140が含まれる。端子SP1側にスタートパルスが入力され、端子SP2側に最終段のD<sub>F</sub>/F140からの出力が導出される方向が選択されているときには、スタートパルスはSP制御回路2内のD<sub>F</sub>/F100によってパルス幅が調整される。双方向シフトレジスタ4内のD<sub>F</sub>/F101～140からの出力は、クロック信号CLKに同期して順次シフトする。

【0007】図25は、図24の構成の動作を示す。各D<sub>F</sub>/F100～140は、クロック信号CLKの立下りに同期してデータ入力Dを記憶し、出力Qとして導出する。スタートパルスとして端子SP1に信号が与えられると、D<sub>F</sub>/F100の出力SP01は最初のクロック信号の立下り時点で立上がり、次のクロック信号の立下り時点で立下がる。D<sub>F</sub>/Fの動作は、クロック信号の立下り時点から僅かに遅れるので、立下り時点では双方向シフトレジスタ4の1段目のD<sub>F</sub>/F101のデータ入力はハイレベルであり、次のクロックの立下りではローレベルとなる。以下、順次1クロック周期ずつずれながら、双方向シフトレジスタ4を構成するD<sub>F</sub>/F101～140の各段の出力D1～D40が変化する。最終段のD<sub>F</sub>/F140の出力D40は、ドライバ6を縦続接続する場合の後続のドライバ6に対するスタート信号として、端子SP2から取

出される。

【0008】ドライバ6を縦続接続する場合には、端子SP2から後続のドライバ6の入力端子SP1までの配線が必要であり、後続のドライバの入力容量や配線の浮遊容量が付加される。このため後続のドライバ6においては、波形がなまって斜線を施して示すようになりやすい。後続のドライバ6では、閾値V<sub>th</sub>を超えた時点で入力が高レベルであると判断するので、SP02として示すように、クロック信号CLKの立上がりまでにハイレベルとなっていることが必要である。この条件が満たされると、後続のドライバ6においてもデータD<sub>1next</sub>

4

が順次シフトされ、全体として1つのシフトレジスタとして動作する。

【0009】複数個の集積回路を縦続接続して、全体として1つのシフトレジスタとして動作させる先行技術は、たとえば特公昭63-53558号公報や特開平3-233492号公報などに開示されている。特公昭63-53558では、アドレスカウンタで順次メモリセルのアドレスを指定し、カウンタの桁上がりであるキャリー信号を用いて後続するドライバの動作をスタートさせる。特開平3-233492の先行技術では、クロック信号の分周数に応じて所定のクロック数だけ速い出力を最終段よりも前段から取出す。

【0010】

【発明が解決しようとする課題】図22～図25で説明した従来技術では、ドライバなどを縦続接続するとき、前段からの出力パルスの波形が図25に斜線を施して示すようになまる現象が生じる。クロック信号CLKの周波数が高くなると、スタートパルスが閾値V<sub>th</sub>以上のレベルに到達するのに必要な時間が短くなり、クロック信号CLKの立上がり時点では取込むことができなくなる可能性が大きくなる。後続するドライバでスタート信号の取込みが遅れると、全体を1つのシフトレジスタとして動作させることができなくなり、正常な画像表示が行われなくなる。特に、図23(1)に示すようなLCDパネル7の駆動が、カラー画像表示における3原色R、G、Bの個別的な駆動を伴うようなときには、色ずれが生じて、一層画質が低下する。

【0011】特公昭63-53558や特開平3-233492の先行技術では、カウンタ回路を用いて出力パルスのタイミングを制御するようにしているけれども、素子数の増大によって消費電力が増え、また集積回路を構成する半導体のチップサイズが大きくなりコストアップを招く。

【0012】また、これらの先行技術では、図26に示すように、複数の集積回路であるデバイス9を縦続接続する場合に、各デバイス9に対して並列にラッチパルス(LP)あるいはスタートパルス(SP)を与えて、2段目以降のデバイス9内で利用するクロック信号の分周状態を初期化する必要がある。このためデバイス9としては、縦続接続用に入力端子、出力端子およびラッチパルス入力端子の3端子を必要とする。デバイス9には多くの出力端子が設けられ、またクロック入力端子も必要であるので、ラッチパルスの入力端子を設けることは大きな負担となる。さらに、ラッチパルスの供給用の配線は、プリント配線基板などの設計、加工および動作を困難にさせる。

【0013】本発明の目的は、縦続接続が容易で、高速、低消費電力、かつ低コストを実現することができる集積回路を提供することである。

【0014】

50

(4)

5

【課題を解決するための手段】本発明は、多段式シフトレジスタを含み、入力スタート信号に応答して、クロック信号に同期しながら順次シフトする出力をシフトレジスタの各段から導出する集積回路において、多段式シフトレジスタの最終段よりも前段からの出力に응答し、クロック信号の1周期よりも長い周期で出力スタート信号を発生するスタート信号発生回路を含み、出力スタート信号を後続側の入力スタート信号として、縦続接続可能であることを特徴とする集積回路である。

本発明に従えば、縦続接続する場合の後続側の入力スタート信号となる出力スタート信号を、スタート信号発生回路は、多段式シフトレジスタの最終段よりも前段からの出力に응答し、クロック信号の1周期よりも長い周期で発生する。最終段よりも前段から取出すので、最終段からの出力よりも早い時点で出力スタート信号を導出することができる。これによってクロック信号の周波数が高くなって出力波形なまりがクロック1周期より長くなっても、後続する入力スタート信号として必要な立上がり条件を満たすことができる。

【0015】また本発明は、複数個の集積回路を縦続接続し、共通の前記クロック信号に従って、全体として1つの多段式シフトレジスタとして動作可能であることを特徴とする。本発明に従えば、縦続接続された集積回路が共通のクロック信号に従って全体として1つの多段式シフトレジスタとして動作する。集積回路を形成する半導体のチップサイズやパッケージの端子数などの制約があっても、複数個の集積回路を用いて大きな段数のシフトレジスタを容易に実現することができる。

【0016】また本発明の前記スタート信号発生回路は、前記多段式シフトレジスタの最終段よりも2段前段からの出力がデータ入力として与えられ、前記クロック信号を $1/2$ に分周した信号がクロック入力として与えられ、出力として前記出力スタート信号を導出するDフリップフロップを含むことを特徴とする。本発明に従えば、出力スタート信号は、最終段よりも2段前段からの出力をDフリップフロップのデータ入力とし、クロック信号の2周期分がハイレベルである信号として導出される。このような簡単な構成で出力スタート信号を発生させることができるので、半導体のチップサイズの増加や消費電力の増大を招くことなく、縦続接続時の動作特性の向上を図ることができる。

【0017】また本発明のスタート信号発生回路は、前記クロック信号を $1/n$  ( $n$ は3以上の整数)に分周した信号を出力する $n$ 分周回路と、前記多段式シフトレジスタの最終段よりも $n$ 段前段からの出力がデータ入力として与えられ、 $n$ 分周回路からの出力がクロック入力として与えられ、出力として前記入力スタート信号を導出するDフリップフロップとを含むことを特徴とする。本発明に従えば、 $n$  ( $n$ は3以上の整数)分周回路は、クロック信号を入力し、クロック信号を $1/n$ に分周した

6

信号を出力する。Dフリップフロップは、多段式シフトレジスタの最終段よりも $n$ 段前段からの出力をデータ入力し、 $1/n$ に分周された信号をクロック信号として与えられて、出力スタート信号を出力する。すなわち $n$ 段前段からの出力に응じて、クロック信号の周期が $n$ 倍された期間ハイレベルである出力スタート信号を出力することができる。したがって、このような簡単な構成で出力スタート信号を発生させることができるため半導体のチップサイズの増加や、消費電力の増大を招くことなく縦続時の動作特性の向上を図ることができる。さらに十分に長いパルス幅の出力スタート信号を発生させることができるため、後続するドライバ内の多段式シフトレジスタの正常な動作を容易に行わせることができる。

【0018】また本発明は、前記入力スタート信号を受信し、多段式シフトレジスタの動作に適合したパルス幅に制御するスタートパルス制御回路を備えることを特徴とする。本発明に従えば、スタートパルス制御回路によって、多段式シフトレジスタの動作に適合したパルス幅に入力スタート信号が制御される。入力スタート信号としては正確なパルス幅を用いることなく、十分に長くしておけばよいので、容易に正常な動作を行わせることができる。

【0019】また本発明の前記多段式シフトレジスタは、シフト方向が切換え可能な双方向性であることを特徴とする。本発明に従えば、多段式シフトレジスタはシフト方向が切換え可能な双方向性であるので、集積回路としてのパッケージの向きを適宜選択して、効率的な実装や配線を行うことができる。

【0020】また本発明は、前記多段式シフトレジスタの各段からの出力によって、液晶表示素子の駆動を行うことを特徴とする。本発明に従えば、双方向性の多段式シフトレジスタの各段からの出力によって液晶表示素子の駆動を行うので、たとえば液晶表示素子の一方および他方に向きを変えて同一の集積回路が実装され、接続配線を容易に行うことができる。

【0021】また本発明は、前記クロック信号よりも長い周期を、クロック信号を分周して発生する分周回路と、電源投入時に、分周回路を初期化する初期化回路とを含むことを特徴とする。本発明に従えば、スタート信号発生回路に用いるクロック信号よりも長い周期は、クロック信号を分周する分周回路によって発生され、電源投入時に分周回路を初期化する初期化回路が含まれる。電源投入時に初期化されるので、複数個の集積回路を縦続接続しても、相互間の初期化用端子の接続を行うことなく電源投入時に同時に分周回路の初期化を行うことができる。したがってスタート信号発生回路の動作を、縦続接続される集積回路間で確実に同期させて行うことができる。

【0022】また本発明の前記クロック信号は、電源投入時に予め定める期間以上休止され、前記初期化回路

7

は、クロック信号の休止期間未満の周期で発振する内部発振回路を含み、内部発振回路からの発振出力に同期して前記分周回路を初期化することを特徴とする。本発明に従えば、クロック信号は電源投入時に予め定める期間以上休止される。初期化回路には、クロック信号の休止期間未満の周期で発振する内部発振回路が含まれ、その発振出力に同期して分周回路の初期化が行われる。内部発振回路を含むことによって、初期化回路のシーケンス動作を実現することができ、確実な初期化を行うことができる。

【0023】また本発明の前記初期化回路は、コンデンサの充電電圧の立上がりの遅れを利用するパワーオンリセット動作によって、前記分周回路を初期化することを特徴とする。本発明に従えば、分周回路の初期化はコンデンサの充電電圧の立上がりの遅れを利用するパワーオンリセット動作によって実現される。電源電圧の投入前にはコンデンサには電荷を蓄えておらず、電源投入とともに電荷が蓄えられて徐々に端子電圧が立上がる。コンデンサの立上がり特性を利用して確実な初期化を行うことができる。

【0024】

【発明の実施の形態】図1は、本発明の実施の一形態の簡略化した論理的構成を示す。SP<sub>I/O</sub>バッファ11には入力スタート信号が端子SP1から与えられ、SP制御回路12によってパルス幅が制御される。セレクト回路13には、選択信号SELが与えられ、双方向シフトレジスタ14のデータシフト方向を端子SP1と端子SP2との間で切換えることができる。シフト方向が一方側のときには、端子SP1からSP<sub>I/O</sub>バッファ11を介して入力スタート信号が入力される。シフト方向が他方側のときには、端子SP2からSP<sub>I/O</sub>バッファ15を介して入力スタート信号が入力される。

【0025】すなわち、双方向シフトレジスタ14がたとえば40段のシフトを行う構成であると、選択信号SELが一方の論理レベルのときには1段目から40段目までの方向にデータがシフトし、40段目の最終段よりも2段前の38段目からの出力が、後続するドライバ16の入力スタート信号として、端子SP2から導出される。選択信号SELが他方の論理レベルであるときには40段目から1段目の方向にデータがシフトし、1段目の最終段よりも2段前の3段目からの出力が、後続するドライバ16の入力スタート信号として、端子SP1から導出される。ドライバ16を縦続接続する場合の後続のドライバ16の入力スタート信号としては、端子SP2側が出力側となるときは38段目の出力が導出され、端子SP1側が出力側となるときは3段目からの出力が導出される。

【0026】図2は、端子SP1から入力スタート信号を入力し、端子SP2から出力スタート信号を導出する場合の簡略化した電氣的構成を示す。SP制御回路12

(5)

8

内には、リセット端子が設けられるD<sub>F</sub>/F（以下「R<sub>F</sub>/F」と略称する）41、D<sub>F</sub>/F42およびR<sub>F</sub>/F43が含まれる。双方向シフトレジスタ14内には、40段にわたって縦続接続されるD<sub>F</sub>/F201～240が含まれ、さらにスタート信号発生回路として動作するD<sub>F</sub>/F44も含まれる。

【0027】R<sub>F</sub>/F41およびD<sub>F</sub>/F201～240のクロック入力CKには、クロック信号CLKが共通に与えられる。R<sub>F</sub>/F41のリセット入力Rには、リセット信号RESETが与えられる。R<sub>F</sub>/F41のデータ入力Dには、出力Qを反転した出力が与えられる。R<sub>F</sub>/F41の出力Qは、D<sub>F</sub>/F42、44のクロック入力CKと、R<sub>F</sub>/F43のリセット入力Rとに共通に与えられる。D<sub>F</sub>/F42のデータ入力Dには、端子SP1から入力スタート信号が与えられる。D<sub>F</sub>/F42の出力Qは、R<sub>F</sub>/F43のクロック入力CKに与えられる。R<sub>F</sub>/F43のデータ入力Dはハイレベルに固定される。R<sub>F</sub>/F43の出力Qは、D<sub>F</sub>/F201のデータ入力Dに与えられる。縦続接続されるD<sub>F</sub>/F201～240の間では、前段側の出力Qが後段側の入力Dに与えられる。38段目のD<sub>F</sub>/F238の出力D38は、D<sub>F</sub>/F44のデータ入力Dにも与えられる。D<sub>F</sub>/F44の出力Qからは、後続するドライバ16の入力スタート信号として、出力スタート信号が端子SP2を介して導出される。

【0028】図3は、図2の構成の動作をタイムチャートとして示す。リセット信号RESETがいったんハイレベルとなってからローレベルに変化して投入されると、R<sub>F</sub>/F41の出力Qはローレベルとなる。以下、次のクロック信号CLKの立下がり毎に出力Qのレベルを交互に変化させる1/2の分周動作を行い、周期が2倍の分周クロック信号CLK2が発生される。分周クロック信号CLK2の立下がりまでに端子SP1に入力スタート信号が少なくとも2クロック周期（2・TCK）分入力されると、入力スタート信号が立下がってから次の分周クロックCLK2の立下がりまで、D<sub>F</sub>/F42の出力Qからの信号SPin1をハイレベルにする。D<sub>F</sub>/F43は分周クロック信号CLK2がハイレベルの間にリセットされて、出力Qがローレベルとなる。この出力Qからは、信号SPin1の立上がりでハイレベルとなり、次に分周クロック信号CLK2がハイレベルとなるまで、クロック信号CLKの1周期間だけハイレベルとなる信号SPが導出される。このようにパルス幅を制御した信号SPを、スタート信号制御回路であるR<sub>F</sub>/F43からスタート信号として双方向シフトレジスタ14に与える。

【0029】1段目のD<sub>F</sub>/F201の入力Dにスタート信号SPが与えられると、クロック信号CLKの立上がりに同期してシフトしながら、各段の出力信号D

50

(6)

9

1, D<sub>2</sub>, ..., D<sub>38</sub>, D<sub>39</sub>, D<sub>40</sub>が順次導出され、後続する各段のD<sub>F</sub>/Fの入力Dに与えられる。また38段目の出力D<sub>38</sub>は、D<sub>F</sub>/F<sub>44</sub>の入力Dにも与えられる。この出力Qは、分周クロック信号CLK<sub>2</sub>の立下がりに同期して、端子SP<sub>2</sub>から分周クロック信号CLK<sub>2</sub>の1周期分、すなわちクロック信号CLKの2周期分の期間ハイレベルとなる信号を出力スタート信号として導出する。この信号は、後続のSP制御回路12内のD<sub>F</sub>/F<sub>42</sub>ではSP<sub>in2</sub>として示されるように受取られ、2クロック周期分の時間的余裕があるので、クロック信号CLKの周波数が高くなっても、確実に所望のタイミングで応答することができる。

【0030】図4および図5は、選択信号SELによってシフト方向を切換えるときの動作状態をそれぞれ示す。シフト方向に応じて端子SP<sub>1</sub>、SP<sub>2</sub>は、入力あるいは出力に交替し、SP<sub>I</sub>/Oバッファ11, 15の役割も交替する。

【0031】図6は、複数のドライバ16をカスケードに継続接続する場合の接続状態を示す。各クロック信号CLKおよび選択信号SELは共通に与えられ、隣接する端子SP<sub>1</sub>と端子SP<sub>2</sub>とが接続される。このように継続接続することによって、全体として一つの双方向シフトレジスタが構成される。

【0032】図7は、双方向シフトレジスタ16で双方向性を実現するための構成を示す。図1のセレクト回路13は、ANDゲートとORゲートとを組み合わせたセクタ301~341およびANDゲート350, 351を含む。各セクタ301~341には、ANDゲート350, 351と同様な2入力のANDゲートが1組含まれる。選択信号SELは、一組の2入力ANDゲートの内的一方では正論理として、他方では負論理として、ゲートをON/OFFさせる。セクタ302~339は、前段のD<sub>F</sub>/F<sub>201</sub>~D<sub>F</sub>/F<sub>238</sub>の出力Qを選択信号SELがハイレベルのとき選択し、これがローレベルのときは後段の出力Qを選択してD<sub>F</sub>/F<sub>202</sub>~239の入力Dに与える。セクタ301, 340は、選択信号SELがハイレベルのときカスケード入力およびD<sub>F</sub>/F<sub>239</sub>の出力Q、ローレベルのときD<sub>F</sub>/F<sub>202</sub>の出力Qおよびカスケード入力をそれぞれ選択して、D<sub>F</sub>/F<sub>201</sub>, 240の入力Dにそれぞれ与える。セクタ341は、D<sub>F</sub>/F<sub>239</sub>またはD<sub>F</sub>/F<sub>202</sub>の入力Dと、D<sub>F</sub>/F<sub>44</sub>の入力Dとの間を、選択信号SELのレベルに応じて選択的に切換える。

【0033】図8および図9は、本発明の実施の他の形態におけるスタート信号発生回路の構成を示す。各D<sub>F</sub>/Fは、ハーフビットずつ信号をシフトし、マスタースレーブ動作を行う。図8では、3入力ORゲート45に、D<sub>F</sub>/F<sub>239</sub>の前後ハーフビットずつの出力側と、D<sub>F</sub>/F<sub>240</sub>の前半からのハーフビットの出力

10

側との論理和から出力スタート信号を発生させる。図9では、図8のORゲート45の代わりに3入力NANDゲート46を用い、D<sub>F</sub>/F<sub>239</sub>の前後およびD<sub>F</sub>/F<sub>240</sub>の前半のハーフビットの入力側の論理積を反転して、出力スタート信号を発生させる。これらの実施の形態によれば、前述のようなD<sub>F</sub>/F<sub>44</sub>を用いる実施の形態よりも、回路規模を小さくすることができ、半導体のチップサイズを削減することができる。

【0034】図10は、本発明の実施のさらに他の形態として、分周回路にリセット機能を備えるSP制御回路の構成を示す。図11は、その動作を示す。ORゲート50の出力の立下がり動作するR<sub>F</sub>/F<sub>51</sub>は、反転出力QBが入力Dに接続されて、1/2の分周回路を構成する。この出力Qの立下がり、入力Dがハイレベルに固定されるR<sub>F</sub>/F<sub>52</sub>がトリガされる。R<sub>F</sub>/F<sub>52</sub>がトリガされて、出力Qがハイレベルになると、R<sub>F</sub>/F<sub>51</sub>が停止する。

【0035】R<sub>F</sub>/F<sub>54</sub>は、クロック信号CLKを1/2に分周して分周クロックCK<sub>2</sub>を発生する。D<sub>F</sub>/F<sub>55</sub>は、分周クロック信号CK<sub>2</sub>の立下がりに同期してスタート信号SPがローレベルであることを検出し、1クロック周期の間ローレベルとなるスタートパルスSPDを発生する。R<sub>F</sub>/F<sub>56</sub>は、スタートパルスSPDの立下がり、出力Qがハイレベルとなり、ANDゲート57を介してクロック信号CLKを双方向シフトレジスタ58にGCKとして与える。双方向シフトレジスタ58は、図1の実施の形態のように40段式、あるいは他の段数であってもよい。

【0036】クロック信号CLKには、電源ONの投入直後に休止期間が設けられ、この間に内部発振器53が動作する。内部発振器53は、たとえば、NORゲート61、インバータ62, 63、抵抗64およびコンデンサ65を含んで構成され、内部クロック信号ICKを発生する。内部クロック信号ICKは、バッファ66から出力される。R<sub>F</sub>/F<sub>51</sub>は、内部クロック信号ICKを1/2に分周し、その出力1Qの立下がり、R<sub>F</sub>/F<sub>52</sub>の出力2Qがいったんハイレベルとなると、分周回路およびR<sub>F</sub>/F<sub>54</sub>の初期化は完了する。この状態で休止期間が終了し、クロック信号CLKが供給されれば、分周クロック信号CK<sub>2</sub>が複数の集積回路で同一の位相で発生される。

【0037】図12は、コンデンサCの充電電圧が電源投入時に遅れて立上がることを利用するパワーオンリセット回路の構成を示す。電源電圧V<sub>cc</sub>とコンデンサCとの間には、図12(1)ではPchのMOSトランジスタ71、図12(2)では抵抗Rがそれぞれ接続される。充電電圧は、インバータ72を介して信号ACLとして導出される。

【0038】図13は、図12(1)の動作を示す。電源電圧V<sub>cc</sub>に比較して、充電電圧ACLBは、遅れて立



(7)

11

上がり、これがローレベルの期間が信号ACLがハイレベルとなるリセット期間となる。図12(2)も同様な動作を行う。

【0039】以上のようなリセット機能を備えているので、図14のようにドライバ16をカスケードに接続し、図26のようなラッチパルス用の信号線を省略しても、各ドライバ16は、同様のタイミングで分周動作を行い、全体として一つの多段式シフトレジスタとして確実に機能する。ラッチパルス用の信号線を省略することができると、実装用の配線基板の設計が容易となり、集積回路のパッケージの端子も不要となつて、総合的に製造コストを低減することができる。なお、双方向シフトレジスタ14は、40段の場合を例に説明しているけれども、他の段数でも同様の効果が得られる。

【0040】図15は、本発明の実施のさらに他の形態の簡略化した論理的構成を示す。なお、図1と同様の構成には、同一の参照符号を付与して説明を省略する。

【0041】SP<sub>I</sub>/Oバッファ11は、スタート信号が端子SP1から与えられ、SP制御回路12によって、パルス幅が制御される。セレクト回路13は、選択信号SELが与えられて双方向シフトレジスタ14のデータシフト方向を端子SP1と端子SP2との間で切り換えることができる。

【0042】端子SP1側から端子SP2へのシフトのときには、40段目の最終段の3段前の37段目からの出力が後続するドライバ16の入力スタート信号として、端子SP2から導出される。一方、端子SP2側から端子SP1側へのシフトのときには、1段目の最終段の3段前の4段目からの出力が後続するドライバ16の入力スタート信号として、端子SP1から導出される。

【0043】図16は、図15の構成によって、端子SP1から入力スタート信号を入力し、端子SP2から出力スタート信号を導出する場合の簡略化した電氣的構成を示す図である。なお、図2と同様の構成には、同一の参照符号を付与して、説明を省略する。双方向シフトレジスタ14内には、40段にわたって縦続接続されるD<sub>F</sub>/F201~240と、スタート信号発生回路80とが含まれる。スタート信号発生回路80内には、D<sub>F</sub>/F44と3分周回路81とが含まれる。D<sub>F</sub>/F41、D<sub>F</sub>/F201~240および3分周回路81のクロック信号入力CKには、クロック信号CLKが共通に与えられる。R<sub>F</sub>/F41のリセット入力Rと、3分周回路81のリセット入力Rとは、リセット信号RESETが与えられる。R<sub>F</sub>/F41は、リセット信号RESETを入力するとクロック信号CLKの1周期の2倍の周期である第1分周クロック信号CLK2を出力する。3分周回路81は、リセット信号RESETを入力すると、クロック信号CLKの1周期の3倍の周期である第2分周クロック信号CLK3を出力する。3分周回路81の出力は、D<sub>F</sub>/F42、44のクロッ

12

ク入力CKに共通に与えられる。

【0044】図17は、図16の構成の動作を示すタイムチャートである。リセット信号RESETがいったんハイレベルになってからローレベルに変化してリセットされると、R<sub>F</sub>/F41の出力Qおよび3分周回路81の出力は、ローレベルとなる。R<sub>F</sub>/F41は、以下、次のクロック信号CLKの立下がり毎に出力Qのレベルを交互に変化させる1/2の分周動作を行い、周期がクロック信号CLKの周期TCKの2倍の第1分周クロック信号CLK2を発生する。

【0045】3分周回路81は、次のクロック信号CLKの立下がり時に出力のレベルを立上げ、クロック信号CLKの周期TCKの1.5倍の期間を経過したクロック信号の立下がり時に出力のレベルを立下げ、さらに周期TCKの1.5倍の期間を経過したクロック信号の立下がり時に出力のレベルを立上げる。すなわち、3分周回路81は、クロック信号CLKの周期TCKの1.5倍の期間経過毎に出力のレベルを交互に変化させる1/3分周動作を行い、クロック信号CLKの周期TCKの3倍の第2分周クロック信号CLK3を発生する。

【0046】第2分周クロック信号CLK3の立下がりまでに端子SP1に入力スタート信号が少なくとも3クロック周期(3・TCK)分入力されると、入力スタート信号が立下がってから、次の分周クロック信号CLK3の立下がりまで、D<sub>F</sub>/F42の出力からの信号SPin1をハイレベルにする。

【0047】D<sub>F</sub>/F43は、第1分周クロック信号CLK2がハイレベルの間にリセットされて出力Qがローレベルとなる。この出力Qは、信号SPin1の立下がりでハイレベルとなり、次に第1分周クロック信号CLK2がハイレベルとなると立下がる。すなわち、この出力Qからは、クロック信号CLKの1周期分だけハイレベルとなる信号が導出される。SP制御回路12は、パルス幅が制御された信号SPをスタート信号として双方向シフトレジスタ14に与える。

【0048】双方向シフトレジスタ14の1段目のD<sub>F</sub>/F201の入力Dにスタート信号SPが与えられると、クロック信号CLKの立下がり同期して各段のD<sub>F</sub>/Fをシフトして、各段の出力信号D1~D40が順次導出される。37段目のD<sub>F</sub>/F237の出力D37は、D<sub>F</sub>/F238の入力Dに与えられるのと同時に、D<sub>F</sub>/F44の入力Dにも与えられる。

【0049】このD<sub>F</sub>/F44の出力Qは、第2分周クロック信号CLK3の立下がり同期して、端子SP2から第2分周クロック信号CLK3の1周期分、すなわちクロック信号CLKの周期TCKの3周期分(3・TCK)の期間ハイレベルとなる信号を出力スタート信号として、出力端子SP2から後続のドライバ16に出力される。後続のドライバ16内のSP制御回路12内のD<sub>F</sub>/F42では、図17においてSPin2とし



(8)

13

て示されるように第2分周クロック信号CLK3の1周期分がハイレベルとなる信号が入力される。

【0050】後続のドライバ16内のSP制御回路12に入力された出力スタート信号は、3クロック周期分の時間的余裕があるため、クロック信号CLKの周波数が高くなっても確実に所望のタイミングで応答することができる。したがって、D<sub>F</sub>/F240の出力D40に引き続いて遅延なく後続のドライバ16内の双方向シフトレジスタ14内の第1段目のD<sub>F</sub>/F201の出力D1が出力される。

【0051】図18は、双方向シフトレジスタ14のn（nは3以上の整数）段前からの出力を用いて、出力端子SP2から信号を出力する構成の動作を示すタイムチャートである。双方向シフトレジスタ14の最終段からn段前のD<sub>F</sub>/Fの出力を用いてスタート信号を出力する構成は、図15および図16の構成と同様であり、図16に示されるスタート信号発生回路80の3分周回路81をn分周回路に差し換えた構成となる。n分周回路は、クロック信号CLKと、リセット信号RESETとを入力して、クロック信号の1/n分周動作を行い、周期がクロック信号CLKの周期TCKのn倍の第2分周クロック信号CLKnを出力する。なお、双方向シフトレジスタ14の最終段からn段前のD<sub>F</sub>/Fの出力Qを用いてスタート信号を出力する。

【0052】リセット信号RESETが、R<sub>F</sub>/F41とn分周回路とに与えられると、R<sub>F</sub>/F41は、クロック信号CLKを入力して、1/2分周動作を行い、周期がクロック信号CLKの周期TCKの2倍の第1分周クロック信号CLK2を発生する。n分周回路は、クロック信号CLKを入力して、1/n分周動作を行い、周期がクロック信号CLKの周期TCKのn倍の第2分周クロック信号CLKnを発生する。

【0053】入力スタート信号が少なくともnクロック周期（n・TCK）分入力されると、入力スタート信号が立下がってから次の第2分周クロック信号CLKnの立下がりまで、D<sub>F</sub>/F42の出力Qからの信号SPin1をハイレベルにする。D<sub>F</sub>/F43は、第1分周クロック信号CLK2がハイレベルとなるまで、クロック信号CLKの1周期間だけハイレベルとなる信号SPが導出される。すなわち、D<sub>F</sub>/F43は、パルス幅が制御された信号SPを出力する。

【0054】双方向シフトレジスタ14の1段目のD<sub>F</sub>/F201の入力Dにスタート信号SPが与えられると、クロック信号CLKの立下がりに同期して、各段のD<sub>F</sub>/Fがシフトされて、各段の出力信号D1～D40が順次導出される。また（40-n）段目のD<sub>F</sub>/Fの出力は、次段のD<sub>F</sub>/Fの入力Dに与えられるのと同時に、D<sub>F</sub>/F44の入力Dにも与えられる。

【0055】このD<sub>F</sub>/F44の出力Qは、第2分周クロック信号CLKnの立下がりに同期して、端子SP

14

2から第2分周クロック信号CLKnの1周期分（n・TCK）の期間ハイレベルとなる信号を出力スタート信号として、出力端子SP2から後続のドライバ16に出力する。後続のドライバ16内のSP制御回路12内のD<sub>F</sub>/F42では、図18のSPin2に示されるように、第2分周クロック信号CLKnの1周期分がハイレベルとなる信号が入力される。

【0056】後続のドライバ16内のSP制御回路12に入力された出力スタート信号は、nクロック周期分（n・TCK）の時間的余裕があるため、クロック信号CLKの周波数が高くなっても、確実に所望のタイミングで応答することができる。したがって、D<sub>F</sub>/F240の出力D40に引き続いて、遅延なく後続のドライバ16内の双方向シフトレジスタ14内の第1段目のD<sub>F</sub>/F201の出力D1が出力される。

【0057】図19は、本発明の実施のさらに他の形態を示す論理的な構成を示すブロック図である。図1と同様の構成には、同一の参照符号を付与して、説明を省略する。SP1/Oバッファ11は、入力スタート信号が端子SP1から与えられ、SP制御回路12によって、パルス幅が制御される。セクタ回路13は、選択信号SELが与えられて双方向シフトレジスタ14のデータシフト方向を端子SP1と端子SP2との間で切り換えることができる。

【0058】端子SP1側から端子SP2へのシフトのときには、40段目の最終段の1段前の39段目からの出力が後続するドライバ16の入力スタート信号として、端子SP2から導出される。一方、端子SP2側から端子SP1側へのシフトのときには、1段目の最終段の1段前の2段目からの出力が後続するドライバ16の入力スタート信号として、端子SP1から導出される。

【0059】図20は、図19の構成によって、端子SP1から入力スタート信号を入力し、端子SP2から出力スタート信号を導出する場合の簡略化した電氣的構成を示す図である。なお、図2と同様の構成には、同一の参照符号を付与して、説明を省略する。

【0060】SP制御回路12は、D<sub>F</sub>/F200を含んで構成される。D<sub>F</sub>/F200は、入力スタート信号が入力Dに与えられ、クロック信号CLKがクロック入力CKに与えられる。D<sub>F</sub>/F200は、出力Qからスタート信号SP01を双方向シフトレジスタ14に出力する。図21は、図20の構成の動作を示す。入力スタート信号として、端子SP1に信号が与えられると、D<sub>F</sub>/F200の出力SP01は最初のクロック信号CLKの立下がり時点で立上がり、次のクロック信号CLKの立下がり時点で立下がる。

【0061】双方向シフトレジスタ14のD<sub>F</sub>/F201の入力Dにスタート信号SPが与えられると、クロック信号CLKの立下がりに同期して、各段のD<sub>F</sub>/Fをシフトしながら、各段の出力信号D1～D40が順

10

20

30

40

50

(9)

15

次導出される。また、39段目のD<sub>—</sub>F/F239の出力が端子SP2から出力スタート信号として、後続のドライバ16に出力される。

【0062】従来技術に示されるように、双方向シフトレジスタ14の40段目のD<sub>—</sub>F/F240の出力Qを出力スタート信号として、後続のドライバ16に出力する場合には、後続のドライバ16の入力容量や、配線の浮遊容量などの原因により、後続のドライバ16内では、スタート信号SP2に波形なまりが生じる。波形なまりによるスタート信号SP2は、たとえばクロック信号CLKの半周期～1周期分遅延するためにデータが失われて、全体を1つのシフトレジスタとして動作させることができなくなる。

【0063】本実施の形態では、双方向シフトレジスタ14の最終段より1段前の39段目の出力Qを出力スタート信号として、後続のドライバ16に出力している。これによって、図21に示されるように、後続のドライバ16の入力容量や配線の浮遊容量などの原因によって波形なまりが生じ、斜線を施して示したように、スタート信号SP2が、たとえば半周期～1周期分遅延しても時間的余裕を有する。

【0064】このため、少なくともD<sub>—</sub>F/F240の出力D40の立上がり時点において、後続のドライバ16のスタート信号SP2は立上がり、D<sub>—</sub>F/F240の出力の立下がり時点において、後続のドライバ16内の双方向シフトレジスタ14の第1段目の出力D<sub>next</sub>が確実に立上がる。これによって、縦続接続するドライバにおいて、全体を1つのシフトレジスタとして動作させることができる。

【0065】なお、前述した波形なまりによるスタート信号SP2の遅延は、クロック信号CLKとスタート信号SP2との相対関係によって決まる。すなわち、クロック信号CLKが高速化されると、スタート信号SP2の遅延は大きくなる。双方向シフトレジスタ14の最終段より1段前の39段目の出力を出力スタート信号として、後続のドライバ16に出力する構成において、現在のクロック信号CLKの平均的な速度であれば問題はないが、さらなるクロック信号CLKの高速化により、スタート信号SP2の遅延がクロック信号CLKの1周期より長くなった場合に、時間的余裕がなくなり、誤動作する恐れがある。このため前述した双方向シフトレジスタ14の最終段より2段目以上前の出力Qを用いて出力スタート信号を後続のドライバ16に出力する構成が理想的である。

【0066】

【発明の効果】以上のように本発明によれば、縦続接続された複数の集積回路の入力スタート信号として使用される前段の出力スタート信号を、多段式シフトレジスタの最終段よりも前段からの出力にตอบสนองして、クロック信号の1周期よりも長い周期でスタート信号発生回路に

16

よって発生させる。これによって出力スタート信号の出力波形が後続側の入力容量や配線の浮遊容量などによってなまっても、周波数が高いクロック信号に確実に同期させることができる。

【0067】また本発明によれば、縦続接続される複数の集積回路は、共通のクロック信号に従って全体として1つのシフトレジスタとして動作可能である。集積回路の半導体のチップサイズからの面積的な制限や、パッケージの出力端子数の制限があっても、複数の集積回路を用いて全体として大きな段数を有するシフトレジスタを容易に実現することができる。

【0068】また本発明によれば、出力スタート信号は、Dフリップフロップを用いる簡単な構成で発生させることができる。これによって半導体のチップサイズの増加と消費電力の増大とを防ぐことができる。

【0069】また本発明によれば、出力スタート信号は、n（nは3以上の整数）分周回路とDフリップフロップとを用いる簡単な構成で発生することができる。また多段式シフトレジスタの最終段よりもn段前段からの出力に応じて、クロック信号の周期がn倍された期間ハイレベルである出力スタート信号を出力することができる。したがって、このような簡単な構成で出力スタート信号を発生させることができるため半導体のチップサイズの増加や、消費電力の増大を招くことなく縦続時の動作特性の向上を図ることができる。さらに十分に長いパルス幅の出力スタート信号を発生させ、時間的余裕を持たせて出力することができるため、後続するドライバ内の多段式シフトレジスタの正常な動作を容易に行わせることができる。

【0070】また本発明によれば、多段式シフトレジスタの動作に適合したパルス幅に制御するスタートパルス制御回路によって、入力スタート信号が制御されるので、クロック信号の周期に比較して十分に長いパルス幅入力スタート信号を与えて、確実な動作を行わせることができる。

【0071】また本発明によれば、多段式シフトレジスタはシフト方向が切換え可能な双方向性であるので、集積回路を実装する場合の配線パターンの設定が容易となり、配線基板などの面積を小さくすることができる。

【0072】また本発明によれば、多段式シフトレジスタの各段からの出力によって、液晶表示素子の駆動を行う。多段式シフトレジスタは双方向性であるので、液晶表示素子の一方および他方に同一の集積回路を実装して、合理的な配線パターンで電氣的接続を行うことができる。

【0073】また本発明によれば、スタート信号発生回路に使用するクロック信号の1周期よりも長い周期は、クロック信号を分周して発生し、その分周回路を電源投入時に初期化する初期化回路が含まれるので、複数の集積回路を縦続接続した各集積回路において、確実に電

(10)

17

源投入に同期した分周回路の動作を行わせることができる。

【0074】また本発明によれば、初期化回路には内部発振回路が含まれ、クロック信号が電源投入時に予め定める期間以上休止される際に、内部発振回路からの発振出力に同期して分周回路が初期化される。内部発振回路からの発振出力に同期した初期化が行われるので、各集積回路の分周回路を電源投入時に確実に初期化することができる。

【0075】また本発明によれば、初期化回路はコンデンサの充電電圧の立上りの遅れを利用するパワーオンリセット動作によって分周回路を初期化する。集積回路内にコンデンサを形成することによって、確実なパワーオンリセットを行うことができるので、簡単な構成で初期化を行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の論理的構成を示すブロック図である。

【図2】図1の構成でシフト方向を一方方向に選択した場合の等価的な電氣的構成を示すブロック図である。

【図3】図2の構成の動作を示すタイムチャートである。

【図4】図1の実施の形態で一方方向を選択した場合の論理的構成を示すブロック図である。

【図5】図1の実施の形態で他方向を選択した場合の論理的構成を示すブロック図である。

【図6】図1の実施の形態による集積回路を複数個縦続接続する場合の電氣的構成を示すブロック図である。

【図7】図1の実施の形態に対応する電氣的構成を示す等価的な電氣回路図である。

【図8】本発明の実施の他の形態の電氣的構成を示す等価的な電氣回路図である。

【図9】本発明の実施のさらに他の形態の電氣的構成を示す等価的な電氣回路図である。

【図10】本発明の実施のさらに他の形態として、初期化のための構成を示す等価的な電氣回路図である。

【図11】図10の実施の形態の動作を示すタイムチャートである。

【図12】本発明の実施のさらに他の形態によるパワーオンリセットのための構成を示す等価的な電氣回路図である。

【図13】図12の実施の形態の動作を示すグラフである。

【図14】本発明の実施の各形態の縦続接続時に初期化

18

を行う構成を示す簡略化したブロック図である。

【図15】本発明の実施の他の形態の簡略化した論理的構成を示すブロック図である。

【図16】図15の構成でシフト方向を一方方向に選択した場合の等価的な電氣的構成を示すブロック図である。

【図17】図16の構成の動作を示すタイムチャートである。

【図18】双方向シフトレジスタ14の最終段のn（nは3以上の整数）段階前からの出力を取り出す構成の動作を示すタイムチャートである。

【図19】本発明の実施の他の形態を示す論理的な構成を示すブロック図である。

【図20】図19の構成でシフト方向を一方方向に選択した場合の等価的な電氣的構成を示すブロック図である。

【図21】図20の構成の動作を示すタイムチャートである。

【図22】従来技術の論理的構成を示すブロック図である。

【図23】双方向性の必要な理由を説明するために、簡略化して電氣的構成を示すブロック図である。

【図24】図22の等価的な電氣的構成を示すブロック図である。

【図25】図24の構成の動作を示すタイムチャートである。

【図26】先行技術による集積回路を多段に縦続接続する場合の初期化のための電氣的接続状態を示す簡略化したブロック図である。

【符号の説明】

11, 15 SP\_I/Oバッファ

12 SP制御回路

13 セレクタ回路

14, 58 双方向シフトレジスタ

16 ドライバ

41, 43, 51, 52, 54, 56 R\_F/F

42, 44, 55 D\_F/F

45 NORゲート

46 NANDゲート

50 ORゲート

53 内部発振器

65 コンデンサ

80 スタート信号発生回路

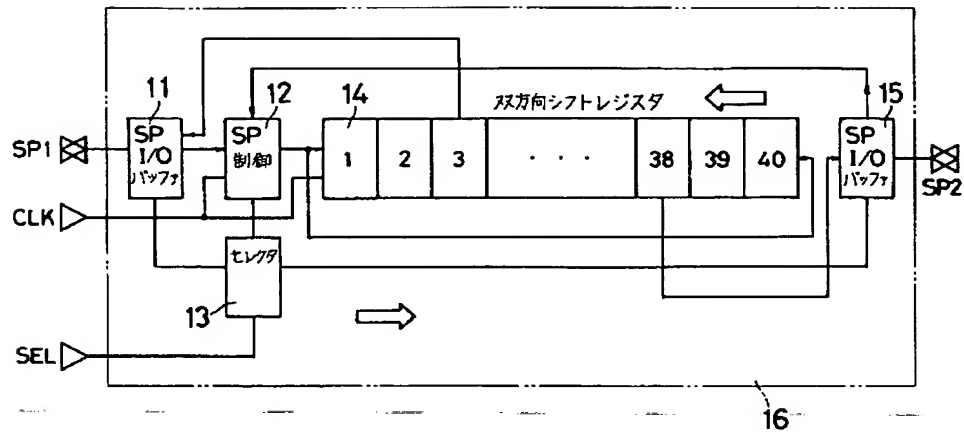
81 3分周回路

201~240 D\_F/F

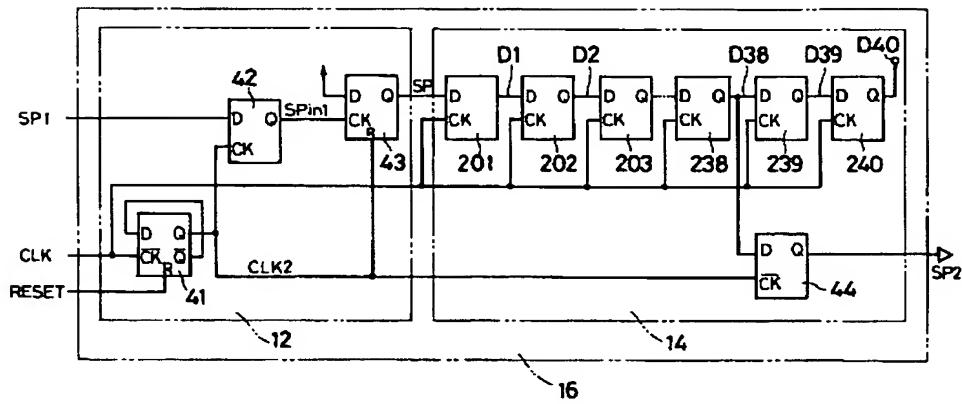
301~341 セレクタ

(11)

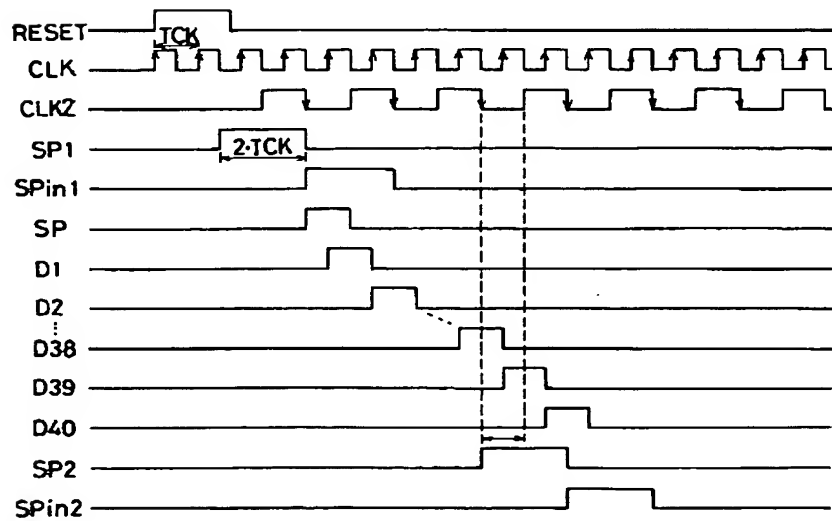
【図1】



【図2】

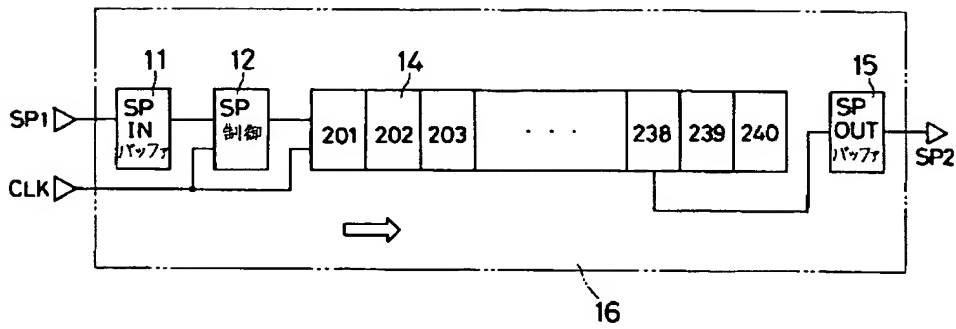


【図3】

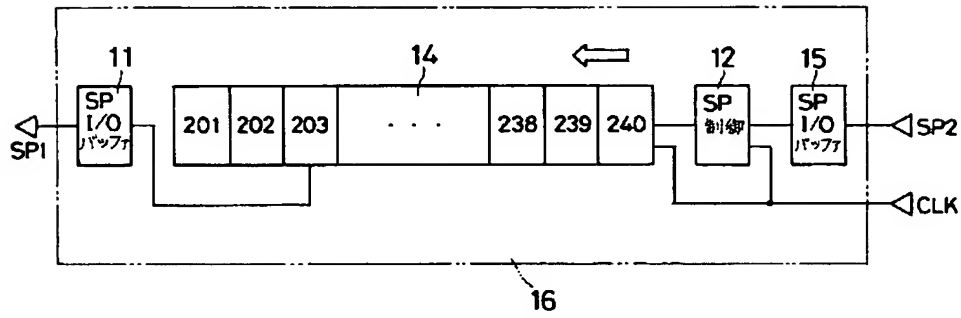


(12)

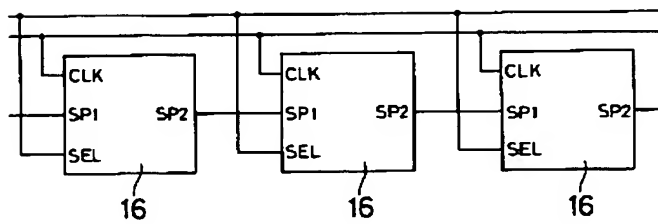
【図4】



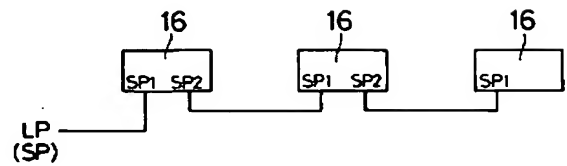
【図5】



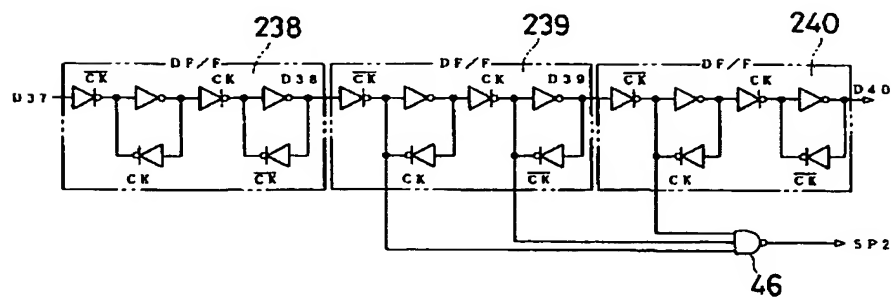
【図6】



【図14】

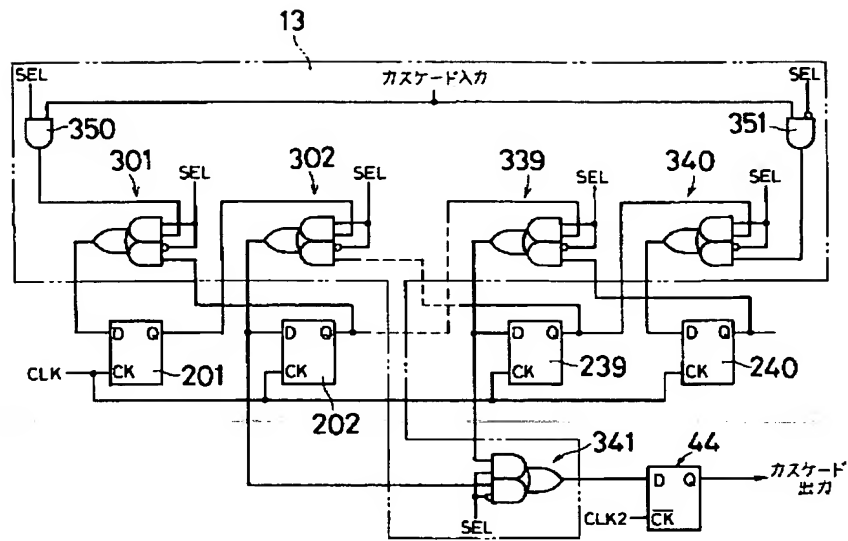


【図9】

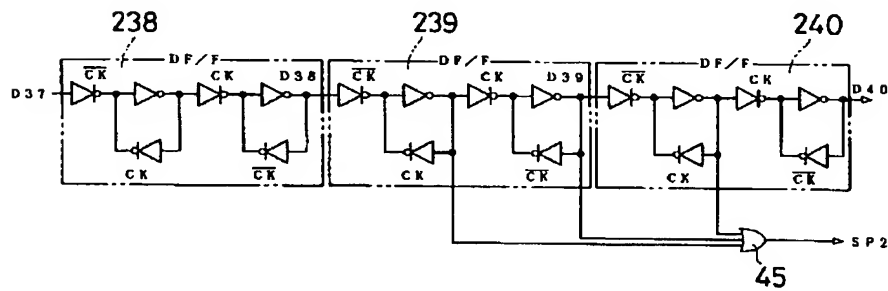


(13)

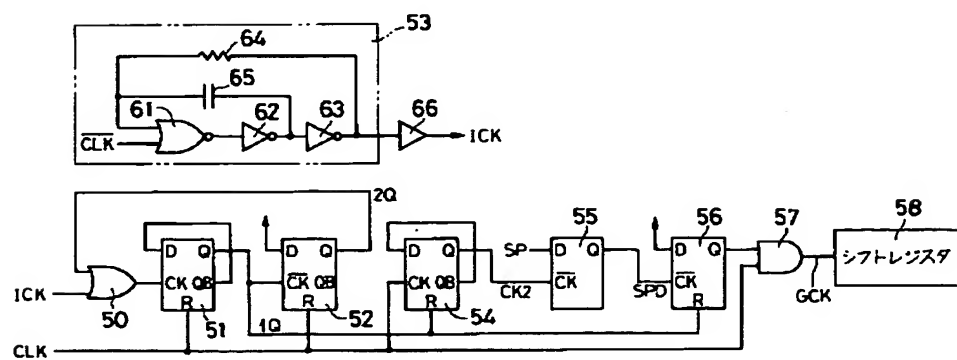
【図7】



【図8】

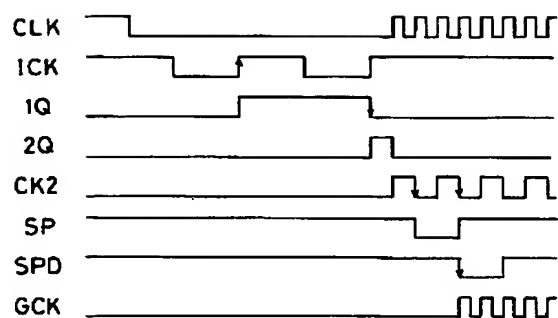


【図10】

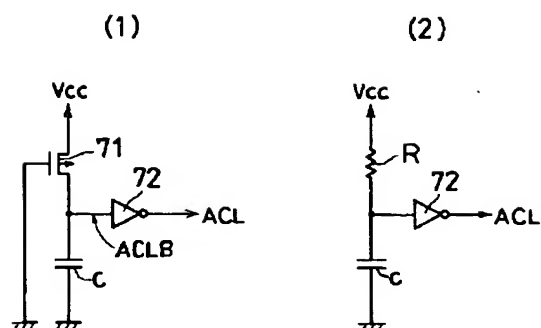


(14)

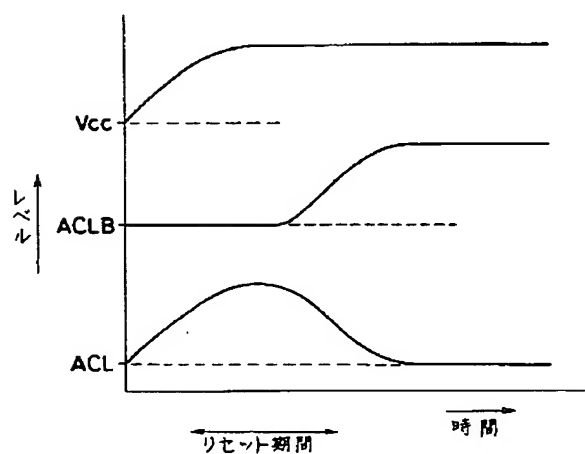
【図11】



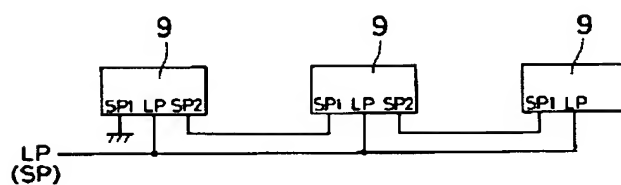
【図12】



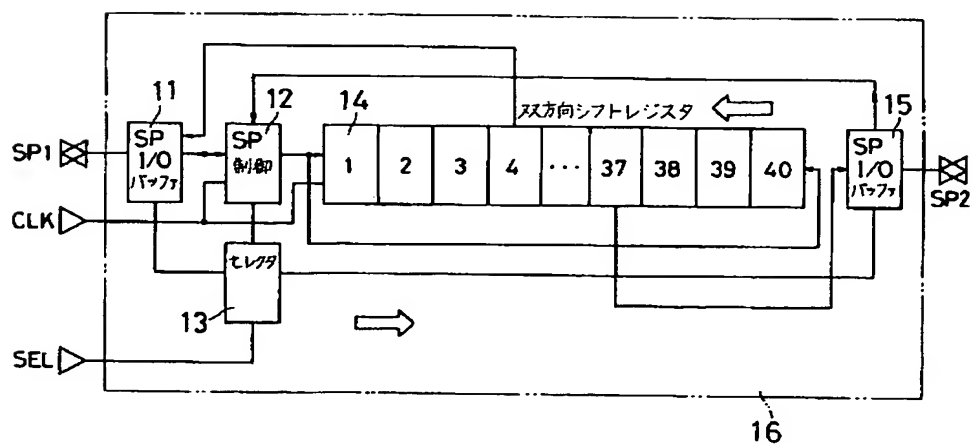
【図13】



【図26】



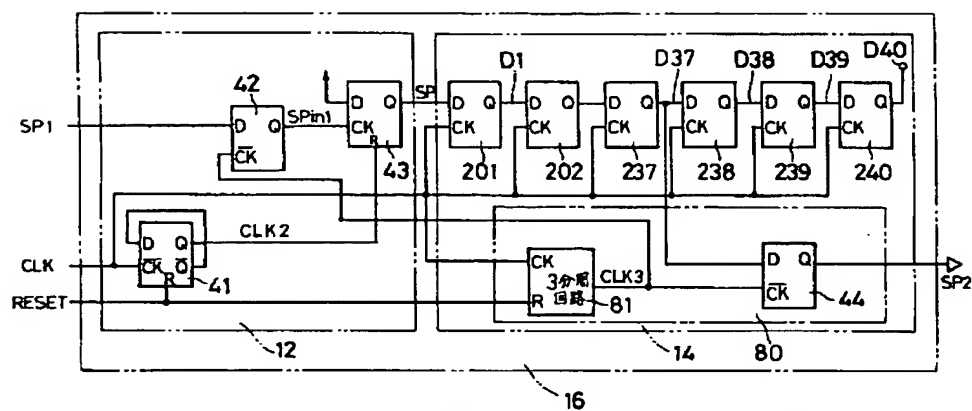
【図15】



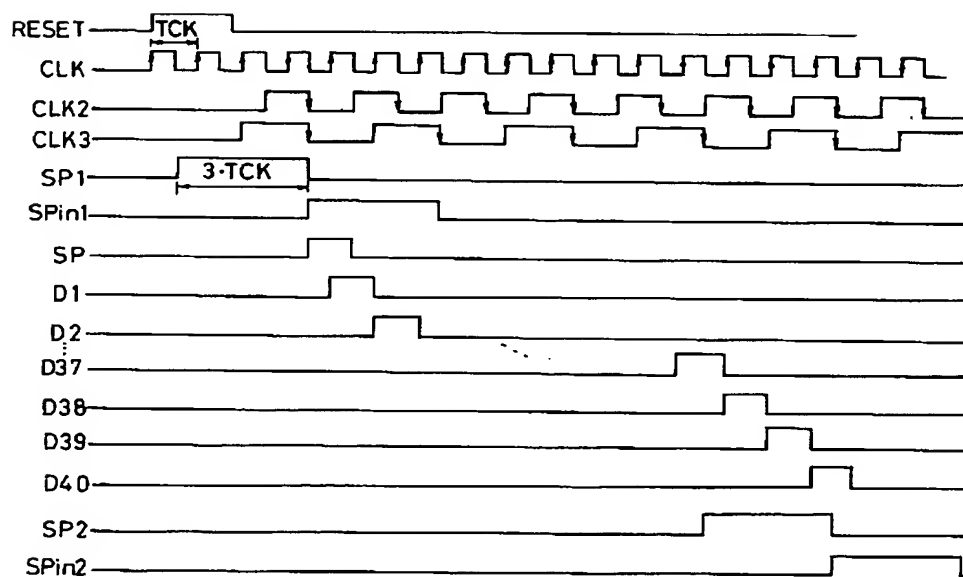


(15)

【図16】

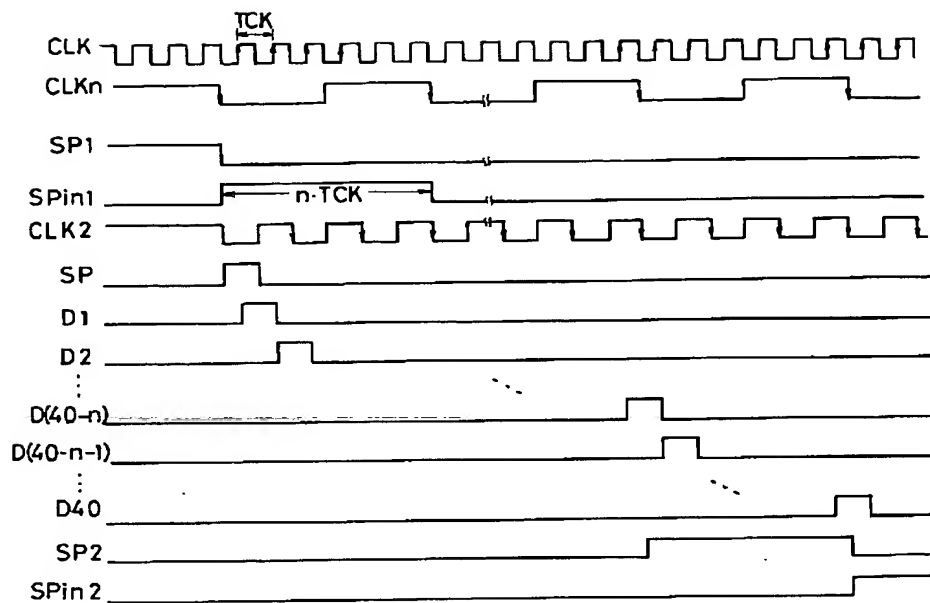


【図17】

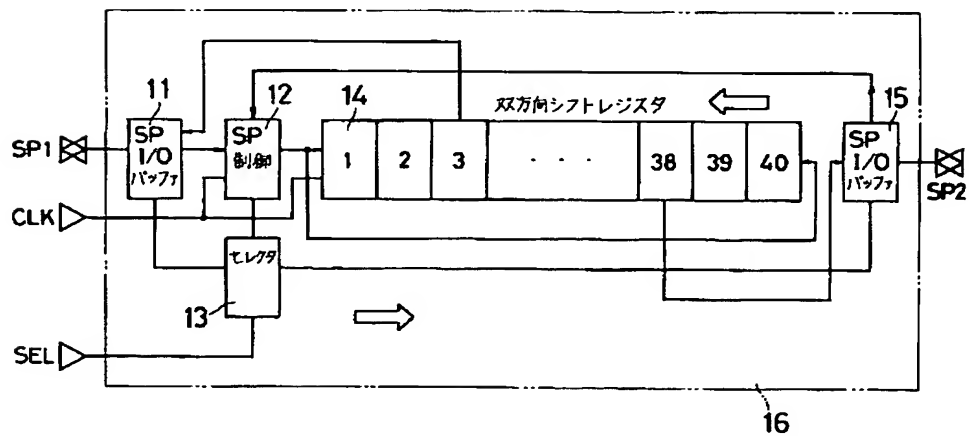


(16)

【图 18】

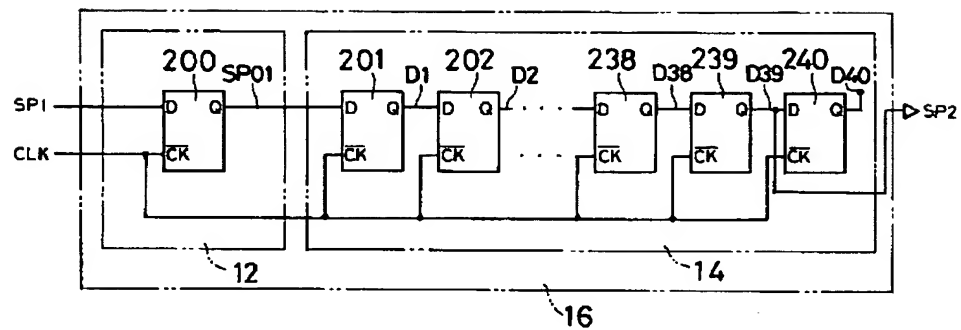


【图 19】

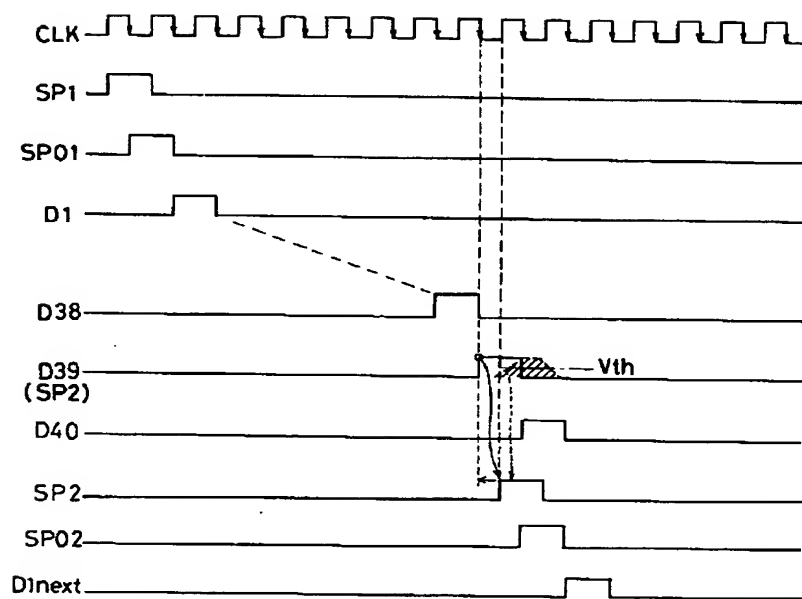


(17)

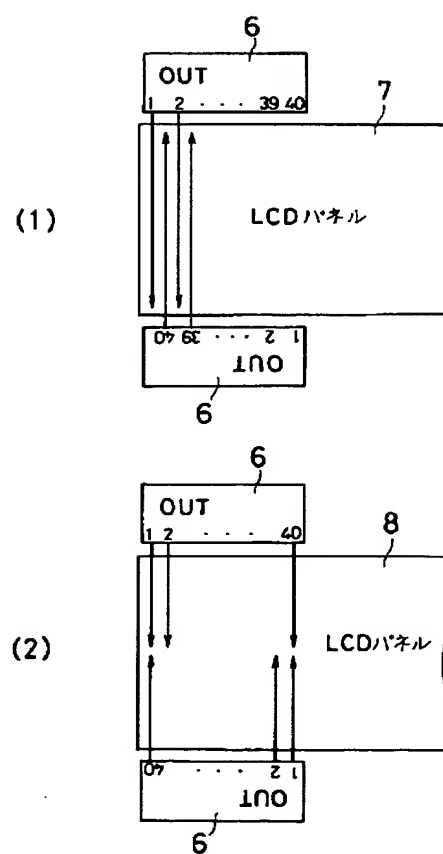
【図20】



【図21】

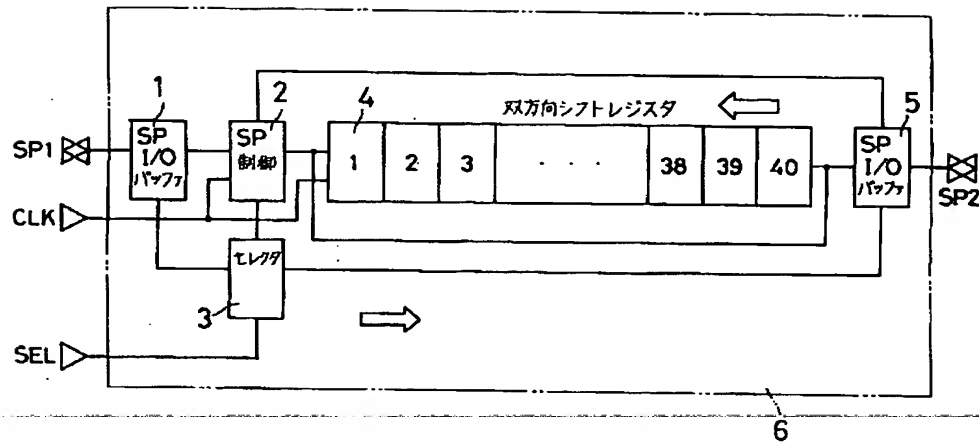


【図23】

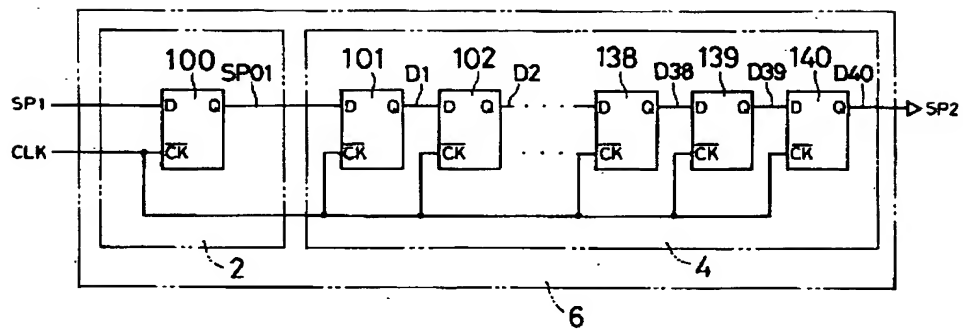


(18)

【図22】



【図24】



(19)

【図25】

